

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hidenori YAMAJI, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: INFORMATION PROCESSING APPARATUS, INFORMATION PROCESSING METHOD, AND PROGRAM

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-001721	January 8, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Bradley D. Lytle

Registration No. 40,073

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)



504P0050US00

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 8 日
Date of Application:

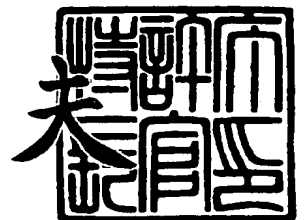
出 願 番 号 特 願 2 0 0 3 - 0 0 1 7 2 1
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 0 1 7 2 1]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290764804

【提出日】 平成15年 1月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G05F 1/10

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 山地 秀典

【発明者】

【住所又は居所】 東京都品川区東五反田 2 丁目 1 7 番 1 号 ソニーイーエ
ムシーエス株式会社内

【氏名】 保坂 正美

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 宮野 晃宏

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100082131

【弁理士】

【氏名又は名称】 稲本 義雄

【電話番号】 03-3369-6479

【手数料の表示】

【予納台帳番号】 032089

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708842

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置および方法、並びにプログラム

【特許請求の範囲】

【請求項 1】 プロセッサを有する情報処理装置において、

前記情報処理装置が消費する電力を監視し、監視した前記電力が所定の閾値を超えた場合、前記電力の制限を要求する電力制限要求を出力する電力監視手段と、

前記電力監視手段より前記電力制限要求が出力された場合、前記プロセッサの稼働率を制限することで前記電力を制限する制御として、第 1 の制御を設定する第 1 の設定手段と、

前記電力監視手段より前記電力制限要求が出力された場合、前記プロセッサの稼働率を制限することで前記電力を制限する制御として、第 2 の制御を設定する第 2 の設定手段と、

前記第 1 の設定手段により設定された前記第 1 の制御を実行する第 1 の制御手段と、

前記第 2 の設定手段により設定された前記第 2 の制御を実行する第 2 の制御手段と

を備えることを特徴とする情報処理装置。

【請求項 2】 前記第 1 の制御手段が前記第 1 の制御を実行すると同時に、前記第 2 の制御手段が前記第 2 の制御を実行する

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 3】 前記第 1 の制御手段は、前記第 1 の設定手段により前記第 1 の制御が設定された時点から第 1 の時間が経過した第 1 の時刻に、前記第 1 の制御を開始し、

前記第 2 の制御手段は、前記第 1 の時刻よりも前の第 2 の時刻に、前記第 2 の制御を開始する

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 4】 前記第 2 の設定手段は、前記第 2 の時刻よりも後であって、前記第 1 の時刻よりも前の第 3 の時刻に、前記第 2 の制御手段による前記第 2 の

制御の解除を設定し、

前記第 2 の制御手段は、前記第 2 の設定手段により前記第 2 の制御の解除が設定された時点で、前記第 2 の制御を解除する

ことを特徴とする請求項 3 に記載の情報処理装置。

【請求項 5】 前記第 1 の設定手段は、前記第 2 の制御手段により前記第 2 の制御が実行されている間に、前記電力監視手段から前記電力制限要求が出力されなかった場合、前記第 1 の時刻の前に、前記第 1 の制御手段による前記第 1 の制御の解除を設定し、前記電力監視手段から前記電力制限要求が出力された場合、前記第 1 の時刻から第 2 の時間が経過した第 4 の時刻に、前記第 1 の制御手段による前記第 1 の制御の解除を設定し、

前記第 1 の制御手段は、前記第 1 の設定手段により前記第 1 の制御の解除が設定された時点で、前記第 1 の制御を解除する

ことを特徴とする請求項 4 に記載の情報処理装置。

【請求項 6】 前記第 2 の時間は、前記第 1 の時間、および、前記情報処理装置に電力を供給する電力供給装置の仕様として規定されている Duty Rate に基づいて設定される

ことを特徴とする請求項 5 に記載の情報処理装置。

【請求項 7】 前記第 1 の設定手段は、前記電力監視手段より前記電力制限要求が出力された場合、前記第 1 の制御手段に対して前記第 1 の制御を設定するとともに、さらに、前記第 2 の設定手段に対して、前記第 2 の制御の実行を要求する実行要求を出力し、

前記第 2 の設定手段は、前記第 1 の設定手段から出力された前記実行要求を検出した時刻を前記第 2 の時刻として、前記第 2 の制御手段に対して前記第 2 の制御を設定する

ことを特徴とする請求項 6 に記載の情報処理装置。

【請求項 8】 前記第 1 の設定手段は、さらに、前記第 1 の時刻より前の所定のタイミングで、前記第 2 の設定手段に対して、前記第 2 の制御の解除を要求する解除要求を出力し、

前記第 2 の設定手段は、前記第 1 の設定手段から出力された前記解除要求を検

出した時点の前記第 3 の時刻として、前記第 2 の制御手段に対して前記第 2 の制御の解除を設定する

ことを特徴とする請求項 7 に記載の情報処理装置。

【請求項 9】 前記第 2 の設定手段は、前記第 2 の制御手段に対して前記第 2 の制御を設定した後、さらに、前記第 1 の設定手段に対して、前記第 2 の制御を設定したことを応答する応答情報を出力する

ことを特徴とする請求項 8 に記載の情報処理装置。

【請求項 10】 前記第 1 の設定手段は、前記第 2 の設定手段から出力されるはずの前記応答情報を検出しなかった場合、前記第 2 の設定手段に対して、前記解除要求を出力するとともに、前記電力監視手段からの前記電力制限要求の出力の有無に関わらず、前記第 4 の時刻に、前記第 1 の制御手段に対して前記第 1 の制御の解除を設定する

ことを特徴とする請求項 9 に記載の情報処理装置。

【請求項 11】 前記第 1 の制御は、スロットリング制御であることを特徴とする請求項 1 に記載の情報処理装置。

【請求項 12】 前記第 2 の制御は、スロットリング制御であることを特徴とする請求項 1 に記載の情報処理装置。

【請求項 13】 前記第 2 の制御は、TCC (Thermal Control Circuit) による制御である

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 14】 前記第 2 の制御は、多段階電圧スケーリング制御であることを特徴とする請求項 1 に記載の情報処理装置。

【請求項 15】 プロセッサを有する情報処理装置の情報処理方法において

前記情報処理装置が消費する電力を監視し、監視した前記電力が所定の閾値を超えた場合、前記電力の制限を要求する電力制限要求を生成する電力監視ステップと、

前記電力監視ステップの処理により前記電力制限要求が生成された場合、前記プロセッサの稼働率を制限することで前記電力を制限する制御として、第 1 の制

御を設定する第 1 の設定ステップと、

前記電力監視ステップの処理により前記電力制限要求が生成された場合、前記プロセッサの稼働率を制限することで前記電力を制限する制御として、第 2 の制御を設定する第 2 の設定ステップと、

前記第 1 の設定ステップの処理により設定された前記第 1 の制御を実行する第 1 の制御ステップと、

前記第 2 の設定ステップの処理により設定された前記第 2 の制御を実行する第 2 の制御ステップと

を含むことを特徴とする情報処理方法。

【請求項 16】 プロセッサと、

情報処理装置が消費する電力を監視し、監視した前記電力が所定の閾値を超えた場合、前記電力の制限を要求する電力制限要求を出力する電力監視装置と、

前記プロセッサの稼働率を制限することで前記電力を制限する制御として、第 1 の制御を実行する第 1 の制御機構と、

前記プロセッサの稼働率を制限することで前記電力を制限する制御として、第 2 の制御を実行する第 2 の制御機構と、

ハードウェアとしての第 1 のインタフェースを介して前記第 1 の制御機構とデータの受け渡しを実行するとともに、ソフトウェアとしての第 2 のインタフェースを介して前記第 2 の制御機構とデータの受け渡しを実行するマイクロコンピュータと

を備える前記情報処理装置において、

前記マイクロコンピュータに実行させるプログラムであって、

前記電力監視装置より前記電力制限要求が出力された場合、前記第 1 のインタフェースを介して、前記第 1 の制御機構に対して前記第 1 の制御を設定する第 1 の設定ステップと、

前記電力監視装置より前記電力制限要求が出力された場合、前記第 2 のインタフェースを介して、前記第 2 の制御機構に対して前記第 2 の制御を設定する第 2 の設定ステップと

を含むことを特徴とするプログラム。

【請求項 1 7】 前記第 2 のインタフェースは、AML (ACPI Machine Language) または BIOS (Basic Input Output System) であり、

前記第 2 の設定ステップの処理は、前記第 2 の制御機構に対して前記第 2 の制御の実行を要求する実行要求を、SCI (System Control Interrupt) または SMI (System Management Interrupt) により前記 AML または前記 BIOS に通知する処理であり、

前記 AML または前記 BIOS は、前記マイクロコンピュータからの前記実行要求を受けて、前記第 2 の制御手段に対して前記第 2 の制御を設定する

ことを特徴とする請求項 1 6 に記載のプログラム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、情報処理装置および方法、並びに、プログラムに関し、特に、品質事故を防ぎつつ、実際に必要な制限量で、情報処理装置の消費電力を制限する制御であって、継承と標準化が容易な制御を実行することができるようにした情報処理装置および方法、並びに、プログラムに関する。

【0 0 0 2】

【従来の技術】

近年、CPU (Central Processing Unit) の能力の増大は著しいものがあるが、その能力の増大に比例して、その最大消費電力の増大も著しいものになっている。

【0 0 0 3】

一方、最大消費電力を消費する動作状態で、CPU が使用されるケースは少なく、ほとんどのケースにおいては（通常の動作状態においては）、近年登場した CPU でも、それ以前の CPU とさほど変わらない消費電力で動作している。

【0 0 0 4】

従って、近年、このような CPU が搭載される情報処理装置に対して、電力を供給する電力供給装置（以下、電源装置とも称する）の設計は、より困難なものとなっている。

【0005】

即ち、例えば、一般的な電源装置の設計においては、最大消費電力が着目される。具体的には、情報処理装置に搭載されるCPU、その他チップ、内蔵ドライブ、および、外部機器接続用端子に接続され得る機器などの全てが、それぞれ同時、かつ最大限に動作した状態での最大消費電力量を想定して、想定した最大消費電力量を供給可能なように、電源装置が設計される。

【0006】

しかしながら、このようにして設計される電源装置は、大型で価格の高いものとなってしまう。

【0007】

従って、そのような大型で価格の高い電源装置は、例えば、持ち運び可能が前提とされるモバイルコンピュータやノート型パーソナルコンピュータ（以下、適宜、ノート型パソコンと略記する）などの携帯型情報処理装置の電源装置としては不適である。

【0008】

また、上述したように、実際のところ、最大消費電力を消費する動作状態で、CPUが使用されるケースは少ないため、単に最大消費電力に着目して設計された電源装置は、過剰な能力を有するものとなってしまう。

【0009】

一方、通常の動作状態でのCPUの消費電力に着目し、CPUの最大消費電力を考慮しないで電源装置が設計された場合、CPUが最大消費電力付近で動作すると、その電源装置の電力供給超過が発生することになる。

【0010】

この電力供給超過が発生すると、品質事故防止のため、電源装置はその電力の供給を止めてしまう。従って、その電源装置を使用する情報処理装置にとっては、突然、電力の供給が遮断された状態となり、情報処理装置内の整合性を維持することができない。即ち、データ損失等が発生してしまう。

【0011】

従って、電源装置にのみ着目するだけではなく、情報処理装置自身の消費電力

を減らす工夫も必用である。このような工夫は、従来においても行われている。例えば、特許文献1には、情報処理装置の予測最大消費電力が、所定の閾値を超えた場合、CPUの動作モードを変更して情報処理装置の消費電力を制限する手法が開示されている。

【0012】

【特許文献1】

特開 2000-172387号公報

【0013】

【発明が解決しようとする課題】

しかしながら、特許文献1の手法において、情報処理装置の最大消費電力として利用される値は、情報処理装置に搭載されたベース負荷とCPUの動作状態に基づいて予測演算された予測値である。このベース負荷やCPUは、情報処理装置の機種毎に異なるものであり、各機種のそれぞれに対して、専用の予測演算が必要となる。その結果、機種の異なる情報処理装置への制御（特許文献1の手法が適用される制御）の継承には多くの手間がかかり、制御の標準化が困難であるという第1の課題がある。

【0014】

また、特許文献1の手法においては、最悪条件下でも品質事故が発生しないように、非常に大きな制限量で電力制限を行う必要がある。その結果、実際に必要な制限量よりも遥かに大きな制限量で電力制限がかかることになり、電力制限時の情報処理装置のパフォーマンスが非常に悪化するという第2の課題がある。

【0015】

一方、特許文献1の手法においては、CPUの動作モードが変更されるまでに時間がかかる（例えば、インテル（Intel）社のスロットリングモードに変更される場合、制御が設定されてから、実際に制御が開始されるまでの時間（デレイ時間）として、2秒が仕様として規定されている）ため、消費電力を制限量まで制限できない恐れがあるという課題もある。即ち、上述した品質事故が発生してしまう恐れがあるという第3の課題がある。

【0016】

本発明は、このような状況を鑑みてなされたものであり、品質事故を防ぎつつ、実際に必要な制限量で、情報処理装置の消費電力を制限する制御であって、継承と標準化が容易な制御を実行することができるようにするものである。

【0017】

【課題を解決するための手段】

本発明の情報処理装置は、プロセッサを有する情報処理装置であって、情報処理装置が消費する電力を監視し、監視した電力が所定の閾値を超えた場合、電力の制限を要求する電力制限要求を出力する電力監視手段と、電力監視手段より電力制限要求が出力された場合、プロセッサの稼働率を制限することで電力を制限する制御として、第1の制御を設定する第1の設定手段と、電力監視手段より電力制限要求が出力された場合、プロセッサの稼働率を制限することで電力を制限する制御として、第2の制御を設定する第2の設定手段と、第1の設定手段により設定された第1の制御を実行する第1の制御手段と、第2の設定手段により設定された第2の制御を実行する第2の制御手段とを備えることを特徴とする。

【0018】

第1の制御手段が第1の制御を実行すると同時に、第2の制御手段が第2の制御を実行するようにすることができる。

【0019】

第1の制御手段は、第1の設定手段により第1の制御が設定された時点から第1の時間が経過した第1の時刻に、第1の制御を開始し、第2の制御手段は、第1の時刻よりも前の第2の時刻に、第2の制御を開始するようにすることができる。

【0020】

第2の設定手段は、第2の時刻よりも後であって、第1の時刻よりも前の第3の時刻に、第2の制御手段による第2の制御の解除を設定し、第2の制御手段は、第2の設定手段により第2の制御の解除が設定された時点で、第2の制御を解除するようにすることができる。

【0021】

第1の設定手段は、第2の制御手段により第2の制御が実行されている間に、

電力監視手段から電力制限要求が出力されなかった場合、第1の時刻の前に、第1の制御手段による第1の制御の解除を設定し、電力監視手段から電力制限要求が出力された場合、第1の時刻から第2の時間が経過した第4の時刻に、第1の制御手段による第1の制御の解除を設定し、第1の制御手段は、第1の設定手段により第1の制御の解除が設定された時点で、第1の制御を解除するようにすることができる。

【0022】

第2の時間は、第1の時間、および、情報処理装置に電力を供給する電力供給装置の仕様として規定されているDuty Rateに基づいて設定されるようにすることができる。

【0023】

第1の設定手段は、電力監視手段より電力制限要求が出力された場合、第1の制御手段に対して第1の制御を設定するとともに、さらに、第2の設定手段に対して、第2の制御の実行を要求する実行要求を出力し、第2の設定手段は、第1の設定手段から出力された実行要求を検出した時刻を第2の時刻として、第2の制御手段に対して第2の制御を設定するようにすることができる。

【0024】

第1の設定手段は、さらに、第1の時刻より前の所定のタイミングで、第2の設定手段に対して、第2の制御の解除を要求する解除要求を出力し、第2の設定手段は、第1の設定手段から出力された解除要求を検出した時点を第3の時刻として、第2の制御手段に対して第2の制御の解除を設定するようにすることができる。

【0025】

第2の設定手段は、第2の制御手段に対して第2の制御を設定した後、さらに、第1の設定手段に対して、第2の制御を設定したことを応答する応答情報を出力するようにすることができる。

【0026】

第1の設定手段は、第2の設定手段から出力されるはずの応答情報を検出なかった場合、第2の設定手段に対して、第2の制御の解除を要求する解除要求を

出力するとともに、電力監視手段からの電力制限要求の出力の有無に関わらず、第 4 の時刻に、第 1 の制御手段に対して第 1 の制御の解除を設定するようにすることができる。

【 0 0 2 7 】

第 1 の制御は、スロットリング制御であるようにすることができる。

【 0 0 2 8 】

第 2 の制御は、スロットリング制御であるようにすることができる。

【 0 0 2 9 】

第 2 の制御は、T C C (Thermal Control Circuit) による制御であるようにすることができる。

【 0 0 3 0 】

第 2 の制御は、多段階電圧スケーリング制御であるようにすることができる。

【 0 0 3 1 】

本発明の情報処理方法は、プロセッサを有する情報処理装置の情報処理方法であって、情報処理装置が消費する電力を監視し、監視した電力が所定の閾値を超えた場合、電力の制限を要求する電力制限要求を生成する電力監視ステップと、電力監視ステップの処理により電力制限要求が生成された場合、プロセッサの稼働率を制限することで電力を制限する制御として、第 1 の制御を設定する第 1 の設定ステップと、電力監視ステップの処理により電力制限要求が生成された場合、プロセッサの稼働率を制限することで電力を制限する制御として、第 2 の制御を設定する第 2 の設定ステップと、第 1 の設定ステップの処理により設定された第 1 の制御を実行する第 1 の制御ステップと、第 2 の設定ステップの処理により設定された第 2 の制御を実行する第 2 の制御ステップとを含むことを特徴とする情報処理方法。

【 0 0 3 2 】

本発明のプログラムは、プロセッサと、情報処理装置が消費する電力を監視し、監視した電力が所定の閾値を超えた場合、電力の制限を要求する電力制限要求を出力する電力監視装置と、プロセッサの稼働率を制限することで電力を制限する制御として、第 1 の制御を実行する第 1 の制御機構と、プロセッサの稼働率を

制限することで電力を制限する制御として、第2の制御を実行する第2の制御機構と、ハードウェアとしての第1のインタフェースを介して第1の制御機構とデータの受け渡しを実行するとともに、ソフトウェアとしての第2のインタフェースを介して第2の制御機構とデータの受け渡しを実行するマイクロコンピュータとを備える情報処理装置において、マイクロコンピュータに実行させるプログラムであって、電力監視装置より電力制限要求が出力された場合、第1のインタフェースを介して、第1の制御機構に対して第1の制御を設定する第1の設定ステップと、電力監視装置より電力制限要求が出力された場合、第2のインタフェースを介して、第2の制御機構に対して第2の制御を設定する第2の設定ステップとを含むことを特徴とする。

【0033】

第2のインタフェースは、AML (ACPI Machine Language) またはBIOS (Basic Input Output System) であり、第2の設定ステップの処理は、第2の制御機構に対して第2の制御の実行を要求する実行要求を、SCI (System Control Interrupt) またはSMI (System Management Interrupt) によりAML またはBIOSに通知する処理であり、AML またはBIOSは、マイクロコンピュータからの実行要求を受けて、第2の制御手段に対して第2の制御を設定するようにすることができる。

【0034】

本発明の情報処理装置および方法、並びにプログラムにおいては、情報処理装置が消費する電力が監視され、監視された電力が所定の閾値を超えた場合、電力の制限を要求する電力制限要求が出力される。すると、プロセッサの稼働率を制限することで電力を制限する制御として、第1の制御と第2の制御が設定され、設定された第1の制御と第2の制御が実行される。

【0035】

本発明の情報処理装置は、情報処理装置の内部を流れる電流に基づいて、上述した制御を実行してもよいし、情報処理装置に供給されてくる、情報処理装置の外部を流れる電流に基づいて、上述した制御を実行してもよい。また、情報処理装置の内部および外部を流れる電流を総合的に判断して、上述した制御を実行し

てもよい。

【0036】

【発明の実施の形態】

図1は、本実施の形態が適用される情報処理装置の構成例を表している。

【0037】

図1の情報処理装置1において、CPU11は、例えば、インテル（Intel）社製のペンティアム（登録商標）プロセッサ等で構成され、フロントサイドバス（FSB）54に接続されている。FSB54には、更に、ノースブリッジ14が接続されており、ノースブリッジ14は、AGP（Accelerated Graphics Port）55を有しているとともに、バス53（インテル社製の場合、ハブインタフェース53）に接続されている。

【0038】

ノースブリッジ14は、例えば、インテル社製のAGP Host Bridge Controllerである440BXなどで構成されており、RAM（Random Access Memory）13（いわゆる、メインメモリ）等を制御する。更に、ノースブリッジ14は、AGP55を介して、ビデオコントローラ15を制御する。ビデオコントローラ15は、LCD（Liquid Crystal Display）16またはVGA（Video Graphics Array）方式のディスプレイ（以下、VGA17と記述する）をコントロールする。

【0039】

ビデオコントローラ15は、CPU11から供給されるデータ（イメージデータまたはテキストデータなど）を受信して、受信したデータに対応するイメージデータを生成するか、または、受信したデータをそのまま内蔵するビデオメモリ（図示せず）に記憶する。ビデオコントローラ15は、LCD16またはVGA17に、ビデオメモリに記憶されているイメージデータに対応する画像を表示させる。LCD16またはVGA17は、ビデオコントローラ15から供給されたデータを基に、画像または文字などを表示する。

【0040】

ノースブリッジ14は、更に、キャッシュメモリ12とも接続されている。キャッシュメモリ12は、SRAM（Static RAM）などRAM13と比較して、より高速

な書き込みまたは読み出しの動作を実行できるメモリで構成され、CPU 11が使用するプログラムまたはデータをキャッシュする（一時的に記憶する）。

【0041】

なお、CPU 11は、その内部に1次的な、キャッシュメモリ12に比較して、より高速に動作でき、CPU 11自身が制御するキャッシュを有する。

【0042】

RAM 13は、例えば、DRAM (Dynamic RAM) で構成され、CPU 11が実行するプログラム、またはCPU 11の動作に必要なデータを記憶する。具体的には、例えば、RAM 13は、起動が完了した時点において、HDD 27からロードされたOS (Operating System) やインターネットプログラムなどを記憶する。

【0043】

OSは、例えば、マイクロソフト社のいわゆるウィンドウズ（登録商標）XP、またはアップルコンピュータ社のいわゆるMac OS（登録商標）等に代表される、コンピュータの基本的な動作を制御するプログラムである。

【0044】

ノースブリッジ14は、ハブインタフェース53を介して、サウスブリッジ18とも接続されている。サウスブリッジ18は、例えば、インテル社製のPIIX4Eなどで構成されており、AC97リンクバス56、USBバス57、または、IDEバス58に接続されるデバイスの制御等、各種のI/O (Input / Output) を制御する。

【0045】

具体的には、AC97リンクバス56には、モデム20、および、サラウンドコントローラ19が接続されている。モデム20は、公衆回線網に接続されており、公衆回線網またはインターネット（いずれも図示せず）を介する通信処理を実行する。サラウンドコントローラ19にはまた、マイクロフォン21とスピーカ22が接続されている。サラウンドコントローラ19は、マイクロフォン21から音声を取り込み、その音声に対応するデータを生成する。サラウンドコントローラ19はまた、スピーカ22を駆動して、スピーカに音声を出力させる。

【0046】

サウスブリッジ 1 8 の U S B バス 5 7 には、U S B コネクタ 2 3 が接続され、各種 U S B デバイスが接続可能になされている。また U S B バス 5 7 を介して、メモリースティックスロット 2 4 とブルートゥース通信部 2 6 が接続されている。メモリースティックスロット 2 4 には、メモリースティック（商標） 2 5 が装着される。

【 0 0 4 7 】

メモリースティック 2 5 は、本願出願人であるソニー株式会社によって開発されたフラッシュメモリカードの一種である。このメモリースティック 2 5 は、縦 21.5×横 50×厚さ 2.8[mm] の小型薄型形状のプラスチックケース内に電氣的に書換えや消去が可能な不揮発性メモリであるEEPROM（Electrically Erasable and Programmable Read Only Memory）の一種であるフラッシュメモリ素子を格納したものであり、10ピン端子を介して画像や音声、音楽等の各種データの書き込み及び読み出しが可能となっている。ブルートゥース通信部 2 6 は、ブルートゥース規格による通信を行う。

【 0 0 4 8 】

サウスブリッジ 1 8 の I D E バス 5 8 には、H D D（Hard Disk Drive） 2 7 が接続されている。また、I D E バス 5 8 には、いわゆる I D E デバイスと称される、CD-ROM（Compact Disc-Read Only Memory）ドライブ 2 8 等が電氣的に接続される。

【 0 0 4 9 】

サウスブリッジ 1 8 はまた、信号線 7 2 を介して、いわゆるスロットリング制御をCPU 1 1 に実行させることができる。スロットリング制御とは、CPU 1 1 の発熱を抑えることを主目的として使用される制御であって、CPU 1 1 を駆動させたり、させなかったりすることにより、等価的にクロックの周波数を下げる制御（CPU 1 1 を間欠的に駆動させ平均値としてクロックの周波数を下げる制御）のことである。換言すると、スロットリング制御は、C P U 1 1 の稼働率を制限する制御の 1 つであり、結果として、C P U 1 1 の消費電力を制限することができる。

【 0 0 5 0 】

サウスブリッジ 1 8 にはまた、PCI (Peripheral Component Interconnect) バス 5 1、および、LPC (Low Pin Count) バス 5 2 が接続されている。

【 0 0 5 1 】

L P C バス 5 2 には、B I O S (Basic Input Output System) 3 0、I / O (Input/Output) インタフェース 3 1、およびコントローラ 4 0 が接続されている。

【 0 0 5 2 】

B I O S 3 0 は、情報処理装置 1 の基本動作命令を集めたプログラム群であり、例えば、図示しない R O M (Read Only Memory) などに記憶されている。また、B I O S 3 0 は、OS またはアプリケーションプログラムと周辺機器との間でのデータの受け渡し (入出力) を制御する。

【 0 0 5 3 】

I / O インタフェース 3 1 には、パラレル端子 3 2 とシリアル端子 3 3 が接続されており、それぞれの端子に接続された機器とのデータの授受を行う。

【 0 0 5 4 】

コントローラ 4 0 には、ジョグダイヤル 4 3、キーボード 4 4、および、マウス 4 5 といった入力機器、並びに電力監視部 4 2 などが接続されている。

【 0 0 5 5 】

コントローラ 4 0 は、例えば、マイクロコンピュータとして構成されており、ジョグダイヤル 4 3、キーボード 4 4、および、マウス 4 5 といった入力機器を制御する。

【 0 0 5 6 】

本実施の形態においては、コントローラ 4 0 はまた、ハードウェアとしての信号線 7 1 を介してサウスブリッジ 1 8 と接続している。後述するように、コントローラ 4 0 は、電力監視部 4 2 の監視結果に基づいて、上述したスロットリング制御の実行の設定をサウスブリッジ 1 8 に対して行う。このとき、信号線 7 1 は、コントローラ 4 0 から出力された、スロットリング制御の設定に必要な信号をサウスブリッジ 1 8 に伝送する。

【 0 0 5 7 】

さらに、本実施の形態においては、後述するように、スロットリング制御以外の、CPU 11の稼働率を制限することで情報処理装置1の消費電力を制限する制御が行われる。この制御の設定は、例えば、ソフトウェアプログラムにより行われることもある。コントローラ40は、ソフトウェアプログラムによる制御の設定を、ソフトウェアプログラムに対して要求する処理も実行する。なお、具体的な処理の例については後述する。

【0058】

電源装置41は、情報処理装置1全体に電力を供給する電力供給装置であり、この例においては、例えば、AC(Alternating Current)電源アダプタ、または、バッテリーとして構成される。

【0059】

電力監視部42は、電源装置41から供給され、情報処理装置1が実際に消費している電力を監視し、その監視結果をコントローラ40に供給する。なお、電力監視部42の詳細については、図3を参照して後述する。

【0060】

PCIバス51には、IEEE(Institute of Electrical and Electronics Engineers)1394インタフェース34、PCカードインタフェース36、および、Ethernetコントローラ46が接続されている。

【0061】

IEEE1394インタフェース34は、IEEE1394ポート35を介して、IEEE1394の規格に準拠するデータ(パケットに格納されているデータ)を送受信する。

【0062】

PCカードインタフェース36は、スロット37に接続された機器(カード(図示せず))から供給されたデータを、CPU11またはRAM13に供給するとともに、CPU11から供給されたデータをスロット37に接続されているカードに出力する。

【0063】

なお、図1に示されるように、スロット37にはまた、必要に応じてドライブ38が接続される。この場合、ドライブ38は、スロット37およびPCカード

インタフェース 36 を介して、P C I バス 51 に接続される。ドライブ 38 は、装着されている磁気ディスク 61、光ディスク 62、光磁気ディスク 63、または半導体メモリ 64 に記録されているデータを読み出し、読み出したデータを R A M 13 に供給する。また、C P U 11 の処理により生成されたデータを、ドライブ 38 に装着される磁気ディスク 61、光ディスク 62、光磁気ディスク 63、または半導体メモリ 64 に記憶させることができる。

【0064】

E t h e r コントローラ 46 は、E t h e r コネクタ 47 に接続された L A N (Local Area Network) などのネットワークを介して、他の情報処理装置 (図示せず) との通信を行う。なお、Ether コントローラは、Ethernet (登録商標) コントローラとも称される。同様に、Ether コネクタは、Ethernet (登録商標) コネクタとも称される。

【0065】

ところで、上述したように、近年、周波数が高く、消費電力の比較的大きい C P U 11 が普及している。一方、図 1 に示されるように構成される、モバイルコンピュータやノート型パソコンなどの情報処理装置 1 も普及している。ノート型パソコンなどは、持ち運び可能が前提とされているため、電源装置 41 として、A C 電源アダプタだけでなく、バッテリーも使えるようになっている。

【0066】

従って、例えば、このような周波数が高く、消費電力の大きい C P U 11 が、ノート型パソコン (情報処理装置 1) に搭載される場合、バッテリーの駆動時間を伸ばしたり、バッテリーの小型化を図るために、情報処理装置 1 全体の消費電力を減らす工夫が必要である。

【0067】

このため、本発明の情報処理装置 1 は、後述するように、自分自身が消費する全電流 (実際に流れている電流) を検出し、検出した電流のレベルが、予め設定されている制限レベルを超える場合、C P U 11 の稼働率を制限する (クロックの周波数を下げる) ことで、自分自身の消費電力を制限する制御を行っている。以下、このような制御を、電力制限制御と称する。

【0068】

なお、電力制限制御の制御方法は、特に限定されないが、この例においては、例えば、上述したスロットリング制御が使用される。

【0069】

この場合、後述するように、スロットリング制御の開始のトリガは、電力監視部42から信号（後述する図2の電力制限要求）として出力される。従って、電力監視部42をハードウェアで構成し、それを情報処理装置1に搭載することで、トリガを出力するためのOS、アプリケーションソフトウェアプログラム、または、制御テーブルといったものが不必要となる。その結果、電力制限制御の継承、および標準化が容易に実現可能となる。即ち、上述した従来の課題のうちの、第1の課題を解決することが可能となる。

【0070】

しかしながら、電力監視部42からスロットリング制御開始のトリガ（後述する図2の電力制限要求）が出力されても、直ちにスロットリング制御は実行されず、サウスブリッジ18の仕様として予め設定されている所定の時間（例えば、インテル社製のサウスブリッジ18の場合、2秒）が経過した後、スロットリング制御が実行されることになる。

【0071】

従って、電力制限制御として、スロットリング制御が単に行われるだけでは、上述した従来の課題のうちの第2の課題と第3の課題を解決することはできない。

【0072】

そこで、本発明の情報処理装置1はさらに、第2の課題と第3の課題を解決するために、即ち、品質事故を防ぎつつ、実際に必要な制限量で、情報処理装置1自身の消費電力量を制限するために、多段階の電力制限制御を行っている。

【0073】

電力制限制御の段階は、特に限定されないが、本実施の形態においては、説明の簡略上、例えば、2段階とされる。従って、以下、1段階目の電力制限制御（最初に実行される電力制限制御）を、プレ電力制限制御と称し、2段階目の電力

制限制御（プレ電力制限制御が開始された後に実行される電力制限制御）を、単に電力制限制御と称する。

【 0 0 7 4 】

また、プレ電力制限制御と電力制限制御のそれぞれの制御方法は、特に限定されないが、この例においては、次の通りとされる。

【 0 0 7 5 】

即ち、プレ電力制限制御として、上述したスロットリング制御の他、TCC（Thermal Control Circuit：温度制御回路）による制御、および、多段階電圧スケーリング制御が使用可能であり、これら 3 つの制御のうちのいずれかが選択的に使用される。なお、TCC による制御と多段階電圧スケーリング制御については後述する。一方、電力制限制御として、上述したスロットリング制御の 1 つが使用される。

【 0 0 7 6 】

図 2 は、図 1 の情報処理装置 1 のうちの、このようなプレ電力制限制御、および電力制限制御を実行する主要部分の詳細な構成例を表した機能ブロック図である。

【 0 0 7 7 】

なお、以下、説明の簡略上、図 2 の構成のものを、1 つの装置とみなし、電力制限制御装置と称する。

【 0 0 7 8 】

即ち、電力制限制御装置は、CPU 1 1、サウスブリッジ 1 8、コントローラ 4 0、電源装置 4 1、および電力監視部 4 2 により構成される。

【 0 0 7 9 】

電源装置 4 1 は、例えば、A C 電源アダプタ、または、バッテリーから構成され、情報処理装置 1（図 1）に対して電力を供給する。なお、以下、電源装置 4 1 が電力を供給する対象を、システムと称する。即ち、いまの場合、システムとは、情報処理装置 1 全体のことである。

【 0 0 8 0 】

電源装置 4 1 には、設計仕様として、定格電力値、ピーク電力値、ピーク電力

継続時間、および、Duty Rate（システムの消費電力が定格電力内である期間と、定格電力を越える期間との比率）などが定められている。

【0081】

電力監視部 42 は、例えば、ハードウェアとして構成され、電源装置 41 からシステムに供給される電力を監視し、監視した電力が所定の閾値を超えた場合、プレ電力制限制御と電力制限制御の実行（ただし、後述するように、電力制限制御は必要に応じて実行される）を要求する信号（以下、そのような信号を、電力制限要求と称する）をコントローラ 40 に出力する。

【0082】

電力監視部 42 の詳細な構成例が図 3 に示されている。そこで、図 3 を参照して、電力監視部 42 の詳細について説明する。

【0083】

図 3 において、電源装置 41 は、システム（情報処理装置 1）が消費する全ての電流を、電送路 131 と電流検出部 121 を介してシステムに供給する。換言すると、電送路 131 は、システムが消費する全ての電流が流れるように、システムの内部に配置されている。

【0084】

電流検出部 121 は、例えば、検出抵抗として構成され、電源装置 41 から供給され、電送路 131 を流れる電流 I_n を、その両端の電圧として検出する。即ち、電流検出部 121 は、電流 I_n を、次の式（1）で示される電圧 V_s として検出する。ただし、式（1）において、 R_s は、電流検出部 121 の検出抵抗の抵抗値を表している。

$$V_s = I_n \times R_s \quad \dots (1)$$

【0085】

増幅部 122 は、例えば、オペアンプ等で構成され、電流検出部 121 により検出された検出電圧 V_s を、所定のゲイン G だけ増幅し（電圧値を G 倍し）、電圧 V_{out} として電流リミット検出部 123 に出力する。即ち、増幅部 122 の出力電圧 V_{out} は、次の式（2）で示される値となる。式（2）において、 G は、任意の整数値とされるが、この例においては、例えば、 $G=20$ とされる。

$$V_{out} = G \times V_s \cdots (2)$$

【0086】

電力リミット検出部123は、増幅部122の出力電圧 V_{out} を入力し、入力した出力電圧 V_{out} に基づいて、電送路131を流れる電流（システムが消費する全電流） I_n のレベルを演算し、演算した電流 I_n のレベルが、予め設定されている制限レベル（電流 I_n の制限値に対応するレベル）を超えた場合、電力制限要求をコントローラ40に出力する。

【0087】

即ち、電源装置41は、一般的に定電圧源であるので、電送路131を流れる電流 I_n により、システム（図1の情報処理装置1全体）が消費する電力を算出することが可能である。

【0088】

従って、電力リミット検出部123は、その時点で電送路131を実際に流れている電流 I_n が、電源装置41の定格電力（なお、ここでは、定格電力を、制限値として使用するため、制限電力 $P_{iplimit}$ と称する）に対応する電流（以下、そのような電流を、制限電流 $I_{inplimit}$ と称する）を超えた場合、その時点でシステムが消費している電力が、制限電力 $P_{iplimit}$ を超えたと判断し、電力制限要求をコントローラ40に出力する。

【0089】

なお、制限電力 $P_{iplimit}$ と制限電流 $I_{inplimit}$ には、次の式（3）に示されるような関係が成立する。式（3）において、 V_{in} は、電源装置41の出力電圧を表している。

$$P_{iplimit} = V_{in} \times I_{inplimit} \cdots (3)$$

【0090】

図2に戻り、コントローラ40は、電力監視部42から出力された電力制限要求を検出すると、サウスブリッジ18のレジスタ103に対して、電力制限制御（2段階目の電力制限制御）の設定を、ハードウェアとしての信号線71を介して行う。換言すると、信号線71は、コントローラ40とサウスブリッジ18のハードウェアとしてのインタフェースである。

【 0 0 9 1 】

なお、以下、電力制限制御の設定に必要な信号であって、信号線 7 1 により伝送される信号を、電力制限設定と称する。また、インテル社製のサウスブリッジ 1 8 である場合、電力制限設定は、特に THRM# と称される。

【 0 0 9 2 】

ただし、後述するように、コントローラ 4 0 から電力制限設定 (THRM#) が出力されても、スロットリング制御は直ちに実行されず (後述するスロットリング制御の実行を指令する信号 STPCLK# は直ちに出力されず)、予め設定されている所定の時間 (例えば、インテル社製のサウスブリッジ 1 8 の場合、仕様として設定されている 2 秒) が経過した後、スロットリング制御が実行される (STPCLK# が出力される)。

【 0 0 9 3 】

このため、上述したように、電力制限設定 (THRM#) による電力制限制御 (スロットリング制御) だけでは、従来の課題のうちの第 2 の課題と第 3 の課題を解決することができない。

【 0 0 9 4 】

そこで、本発明のコントローラ 4 0 はさらに、電力制限設定 (THRM#) をサウスブリッジ 1 8 に対して出力するとほぼ同時に、プレ電力制限制御の実行を要求する情報 (以下、単に、プレ電力制限要求と称する) を、SCI (System Control Interrupt) により AML (ACPI Machine Language) 9 1 に通知する。

【 0 0 9 5 】

ここで、SCI と AML について説明する。

【 0 0 9 6 】

例えば、マイクロソフト社の OS のうちの、Windows (登録商標) 9 8 以降の OS においては、ACPI (Advanced Configuration and Power Interface) と称される周辺機器とのインタフェースがサポートされている。このような ACPI がサポートされている OS は、ACPI OS と称されている。例えば、図 2 の例では、ACPI OS は、ACPI OS 9 3 として示されている。

【 0 0 9 7 】

そして、このACPI OS、若しくはACPI OS上で実行可能なアプリケーションソフトウェアプログラムと、周辺機器との間でのデータの受け渡し（入出力）を制御するソフトウェアプログラムが、ACPIレイヤと称されている。例えば、図2の例では、ACPIレイヤは、ACPIレイヤ92として示されており、ACPIレイヤ92が制御の対象とする周辺機器は、サウスブリッジ18とコントローラ40とされている。

【0098】

しかしながら、ACPIレイヤ92は、情報処理装置の機種毎に異なるものである。そこで、機種に関わらず（ACPIレイヤ92の種類に依存せず）、周辺機器との間でのデータの受け渡し（入出力）の制御を可能とするように、BIOS30（図1）の中にAMLと称されるプログラム（記述言語をコンパイルしたもの）が格納されており、必要に応じてロードされ、実行される。このAMLが、図2の例では、上述したAML91とされている。換言すると、AML91は、周辺機器とのソフトウェアとしてのインタフェースである。

【0099】

また、このようなAML91による制御は、SCIと称される割り込みにより行われる。即ち、AML91は、SCIを検出すると、そのSCIをかけた周辺機器（いまの場合、コントローラ40）を特定し、検出したSCIに対応する制御を実行する。

【0100】

具体的には、例えば、AML91が、コントローラ40からSCIがあったと検出し、そのSCIが、上述したプレ電力制限要求に対応するものであると判断した場合、AML91は、プレ電力制限制御（1段階目の制限制御）の設定を行う（詳細は後述する）。なお、以下、プレ電力制限制御の設定に必要な情報を、単に、プレ電力制限設定と称する。

【0101】

このように、図2の例では、CPU11は、ACPI環境下におけるソフトウェアプログラム86を実行する。即ち、ソフトウェアプログラム86は、OSであるACPI OS93、周辺機器（サウスブリッジ18とコントローラ40）とのデータのやり取りの制御を実行するAML91およびACPIレイヤ92、並びに、ACPI OS93上

で動作するアプリケーションソフトウェアプログラム（図示せず）等により構成される。

【0102】

なお、非ACPI環境下（OSがACPI OS以外である環境下）においては、周辺機器との間でのデータの受け渡し（入出力）の制御は、BIOS 30（図1）自身が行う。この場合、ACPIのSCIに相当する割り込みが、SMI(System Management Interrupt)と称されている。従って、図示はしないが、非ACPI環境下においては、OSとしてACPI OS以外のOSが使用され、AML 91とACPIレイヤ92の代わりにBIOS 30が使用され、プレ電力制限要求と後述するプレ電力制限解除要求はSCIの代わりにSMIで行われる。

【0103】

AML 91は、プレ電力制限制御の設定を行うと、コントローラ40に対して、プレ電力制限制御の設定を行ったことを通知する。即ち、AML 91は、コントローラ40からのプレ電力制限要求に対する肯定応答を行う。なお、以下、この肯定応答を、プレ電力制限中アークナレッジと称する。また、アークナレッジを、適宜ACKと記述する。

【0104】

コントローラ40に再び着目して、コントローラ40は、2つのタイマ111とタイマ112を有している。タイマ111は、電力制限制御用（2段階目の電力制限制御用）のタイマであり、電力制限制御の解除のタイミングを計測する。一方、タイマ112は、プレ電力制限制御用（1段階目の電力制限制御用）のタイマであり、プレ電力制限制御の解除のタイミングを計測する。なお、タイマ111とタイマ112の詳細な使用方法については後述する。

【0105】

次に、CPU 11に着目すると、CPU 11は、自分自身の稼働率を制限する（クロックの周波数を下げる）制御を行うために、多段階電圧スケーリング制御部81、TCC 82、およびスロットリング制御部84を有している。

【0106】

多段階電圧スケーリング制御部81は、多段階電圧スケーリング制御を行う。

【0107】

なお、本明細書においては、クロックに応じたCPU11の電圧の多段階制御を、多段階電圧スケーリング制御と称している。

【0108】

より詳細には、CPU11の消費電力と、CPU11のクロックの周波数（CPU11の稼働率）は比例する。一方、CPU11の消費電力は、CPU11に印加される電圧の2乗に比例する。従って、CPU11に印加される電圧を下げることで、CPU11のクロックの周波数を下げる（CPU11の稼働率を下げる）ことができる。多段階電圧スケーリング制御は、このような原理に基づいて実行される制御であり、CPU11に印加される電圧として多段階の電圧が予め設定されており、設定された多段階の電圧の中から、所望のCPU11のクロックの周波数（CPU11の稼働率）に対応する電圧を選択し、選択した電圧をCPU11に印加するという制御である。

【0109】

多段階電圧スケーリング制御で注目すべき点は、CPU11に印加される電圧を $1/n$ 倍にすると、CPU11のクロックの周波数（CPU11の稼働率）は、 $1/n$ 倍ではなく、その2乗の $(1/n)^2$ になるという点である。即ち、多段階電圧スケーリング制御は、スロットリング制御や後述するTCCによる制御と比較すると、制限の効果（設定（多段階電圧スケーリング制御の場合、電圧の低下の度合い）に対する、CPU11の稼働率の低下の度合い）が大きいといえる。

【0110】

なお、多段階電圧スケーリング制御は、インテル社の場合、SpeedStep™（商標）と、AMD（Advanced Micro Devices）社の場合、PowerNow™（商標）と、Transmate社の場合、LongRun™と、それぞれ称されている。

【0111】

TCC82は、ダイの温度を計測するためにダイ上に作り込められた温度センサ83とともに温度管理機構を構成する。即ち、温度センサ83の計測値が所定の温度を超えると、発熱量を減らして温度を下げることを目的として、TCC82が一定の周期でCPU11の動作を定期的に繰り返し休止させる。その結果、CPU11

の消費電力も削減されることになる。

【0112】

このようなTCC 82が実行する制御を、本明細書においては、TCCによる制御と称している。なお、TCCによる制御は、例えば、インテル社の場合、On demand TCCと称されている。

【0113】

スロットリング制御部 84 は、後述するSTPCLK# と称される信号を検出すると、スロットリング制御を実行する。

【0114】

CPU 11 はまた、MSR (Model Specific Register) 85 を有している。MSR 85 には、多段階電圧スケーリング制御、またはTCCによる制御を実行するための設定が書き込まれる。

【0115】

例えば、プレ電力制限制御として、多段階電圧スケーリング制御が設定されている場合、AML 91 は、プレ電力制限設定として、多段階電圧スケーリング制御を実行するための設定をMSR 85 に書き込む。すると、MSR 85 は、多段階電圧スケーリング制御部 81 に対して、多段階電圧スケーリング制御の実行を指令する。

【0116】

これに対して、例えば、プレ電力制限制御として、TCCによる制御が設定されている場合、AML 91 は、プレ電力制限設定として、TCCによる制御を実行するための情報をMSR 85 に書き込むことになる。すると、MSR 85 は、TCC 82 に対して、TCCによる制御の実行を指令する。

【0117】

なお、プレ電力制限制御として、スロットリング制御が設定されている場合についての説明は後述する。

【0118】

次に、サウスブリッジ 18 に着目すると、サウスブリッジ 18 は、CPU 11 (スロットリング制御部 84) にスロットリング制御を実行させるために、STPCLK

#生成部101、レジスタ102、レジスタ103、およびタイマ104を有している。

【0119】

STPCLK#生成部101は、CPU11のスロットリング制御部84に対してスロットリング制御の実行を指令する信号（上述したように、ここでは、この信号を、STPCLK#と称している）を生成し、ハードウェアとしての信号線72を介してスロットリング制御部84に出力する。

【0120】

STPCLK#生成部101は、レジスタ102またはレジスタ103から、STPCLK#の生成を開始する指令（このような指令を、以下、生成指令と称する）が入力されると、STPCLK#の生成を開始する。

【0121】

また、STPCLK#生成部101は、生成指令が入力されている限り、STPCLK#を出力し続け（即ち、スロットリング制御部84はスロットリング制御を実行し続け）、生成指令の入力が停止した時点で、STPCLK#の出力を停止する（即ち、スロットリング制御部84はスロットリング制御を停止する）。

【0122】

例えば、プレ電力制限制御として、スロットリング制御が設定されている場合、レジスタ102には、AML91により、プレ電力制限設定として「ON」または「OFF」が書き込まれる。レジスタ102は、「ON」が書き込まれると即時に、生成指令をSTPCLK#生成部101に出力する。その後、レジスタ102は、「OFF」が書き込まれると即時に、生成指令の出力を停止する。

【0123】

これに対して、上述したように、電力監視部42から電力制限要求が出力されると、レジスタ103には、コントローラ40により、電力制限設定（THRM#）として「ON」または「OFF」が書き込まれる。レジスタ103は、「ON」が書き込まれても即座に生成指令を出力せず、タイマ104にカウント動作を開始させる。そして、タイマ104が所定の時間（インテル社製のサウスブリッジ18である場合、2秒）をカウントし、かつ、その時点においてもレジスタ103に「

ON」が書き込まれている場合、レジスタ 1 0 3 は、生成指令を STPCLK# 生成部 1 0 1 に出力する。その後、レジスタ 1 0 3 は、「OFF」が書き込まれると即時に、生成指令の出力を停止する。

【0 1 2 4】

なお、レジスタ 1 0 2 とレジスタ 1 0 3 に書き込まれる情報は、ここでは、説明を容易なものとするために、「ON」、または「OFF」とされているが、実際には、例えば、「ON」に対応するものとして「0（ローレベル）」が、「OFF」に対応するものとして「1（ハイレベル）」が、それぞれ書き込まれる。勿論、レジスタ 1 0 2 とレジスタ 1 0 3 に書き込まれる情報は、「ON」若しくは「OFF」、または、「0」若しくは「1」に限定されず、任意の情報が使用可能である。

【0 1 2 5】

また、以下、レジスタ 1 0 2 またはレジスタ 1 0 3 に「ON」が書き込まれることを、「ON」に設定されると適宜称する。同様に、以下、レジスタ 1 0 2 またはレジスタ 1 0 3 に「OFF」が書き込まれることを、「OFF」に設定されると適宜称する。

【0 1 2 6】

なお、生成指令は、レジスタ 1 0 2 のものよりレジスタ 1 0 3 のものが優先される。

【0 1 2 7】

以上の内容をまとめたものが、図 4 に示されている。即ち、図 4 は、プレ電力制限制御と電力制限制御のそれぞれに対する、電力制限制御を設定するブロック（以下、電力制限設定部と称する）と、電力制限の内容を表した図である。

【0 1 2 8】

このように、図 2 の構成の電力制限制御装置においては、ハードウェアとしての電力監視部 4 2 が電力制限要求を出力すると、ほぼ即座にプレ電力制限制御（多段階電圧スケールリング制御、TCC による制御、またはスロットリング制御）が実行され、その後、必要に応じて、所定の時間（インテル社製のサウスブリッジ 1 8 の場合、2 秒）が経過した後、電力制限制御（スロットリング制御）が実行される。従って、品質事故を防ぎつつ、実際に必要な制限量で、情報処理装置

の消費電力量を制限することが可能になる。即ち、従来の課題で挙げた第 1 乃至第 3 の課題を解決することが可能になる。

【 0 1 2 9 】

ところで、AML 9 1 がプレ電力制限制御の設定を解除しないと、プレ電力制限制御と、電力制限制御が同時に実行されることになる。この場合、その効果（CPU 1 1 の稼働率の減少度合）は、プレ電力制限制御の効果と電力制限制御の効果の積となる（掛け算の効果となる）。従って、効果をあげたい場合、プレ電力制限制御と電力制限制御の同時実行を積極的に行えばよい。

【 0 1 3 0 】

しかしながら、効果がありすぎると、電力制限時の情報処理装置 1 のパフォーマンスが悪化してしまう恐れがある。即ち、従来の課題のうちの第 2 の課題を解決することができなくなってしまう恐れがある。

【 0 1 3 1 】

そこで、このような恐れがある場合、コントローラ 4 0 は、電力制限制御が開始される前に、プレ電力制限制御を解除する要求（このような要求を、以下、プレ電力制限解除要求と称する）を、SCI により AML 9 1 に通知することができる。AML 9 1 は、このプレ電力制限解除要求を受けると即座に、プレ電力制限制御の設定を解除する。これにより、電力制限制御の開始前に、プレ電力制限制御を停止することが可能になる。即ち、プレ電力制限制御と電力制限制御の同時実行を避けることが可能になる。

【 0 1 3 2 】

なお、プレ電力制限制御と電力制限制御のいずれもがスロットリング制御である場合、電力制限制御の開始前の、プレ電力制限解除要求の通知は必須ではない。ただし、本実施の形態においては、プレ電力制限制御がいずれの制御であっても、電力制限制御の開始前に、プレ電力制限解除要求が AML 9 1 に通知されるとする。

【 0 1 3 3 】

次に、図 5 を参照して、図 2 の電力制限制御装置の状態の例を説明する。即ち、図 5 は、図 2 の電力制限制御装置の状態遷移の 1 例を表している。

【0134】

図5に示されるように、電力制限制御装置の状態は、通常状態151、プレ電力制限制態152、および、電力制限制態153のうちのいずれかの状態とされる。

【0135】

通常状態151は、電力制限制御装置が、プレ電力制限制御と電力制限制御のいずれも実行していない状態を表している。

【0136】

プレ電力制限制態152は、電力制限制御装置が、プレ電力制限制御を実行している状態を表している。

【0137】

電力制限制態153は、電力制限制御装置が、電力制限制御を実行している状態を表している。

【0138】

即ち、図5は、電力制限制御とプレ電力制限制御が同時に実行されることがない場合の例を表している。

【0139】

通常状態151、プレ電力制限制態152、および電力制限制態153のうちのいずれかから、通常状態151、プレ電力制限制態152、および電力制限制態153のうちのいずれかへの状態遷移（同一の状態に留まる場合も含む）は、所定の条件（以下、状態遷移条件と称する）が満たされると実行される。

【0140】

このような状態遷移条件は、図5においては、1つの状態（通常状態151、プレ電力制限制態152、および電力制限制態153のうちのいずれか）から1つの状態（通常状態151、プレ電力制限制態152、および電力制限制態153のうちのいずれか）への遷移を表す矢印に、番号161乃至167を付して表されている。

【0141】

例えば、初期状態（例えば、電源装置41がシステム（図1の情報処理装置1

）に電力の供給を開始した時点の状態）が、通常状態 1 5 1 であるとし、いま、電力制限制御装置の状態が、その初期状態であるとする。

【 0 1 4 2 】

電力監視部 4 2 は、監視した電力が所定の閾値を超えない限り、電力制限要求を出力しない。このような場合、コントローラ 4 0 は、状態遷移条件 1 6 1 が満たされと判定し、電力制限制御装置の状態を、通常状態 1 5 1 から通常状態 1 5 1 に遷移させる（状態を遷移させない）。

【 0 1 4 3 】

これに対して、電力監視部 4 2 は、監視した電力が所定の閾値を超えると、電力制限要求をコントローラ 4 0 に出力してくる。このような場合、コントローラ 4 0 は、状態遷移条件 1 6 2 が満たされと判定し、電力制限制御装置の状態を、通常状態 1 5 1 からプレ電力制限状態 1 5 2 に遷移させる。

【 0 1 4 4 】

電力制限制御装置の状態がプレ電力制限状態 1 5 2 に遷移すると、コントローラ 4 0 は、CPU 1 1 の稼働率を制限することで電力を制限する制御として、第 1 の制御（即ち、電力制限制御）の実行を設定する。即ち、電力制限設定（THRM #）が、「ON」に設定される。

【 0 1 4 5 】

すると、レジスタ 1 0 3 は、タイマ 1 0 4 のカウント動作を開始させる。即ち、この時点では、レジスタ 1 0 3 は、生成指令を STPCLK# 生成部 1 0 1 に出力しないので、電力制限制御（スロットリング制御）は実行されない。

【 0 1 4 6 】

一方、AML 9 1 は、電力監視部 4 2 から電力制限要求が出力されたことを、コントローラ 4 0 からのプレ電力制限要求（SCI）により認識し、CPU 1 1 の稼働率を制限することで電力を制限する制御として、第 2 の制御（即ち、プレ電力制限制御）の実行を設定する情報、即ち、プレ電力制限設定を生成する。

【 0 1 4 7 】

なお、コントローラ 4 0 は、プレ電力制限要求（SCI）を AML 9 1 に通知すると、プレ電力制限用のタイマ 1 1 2 のカウント動作を開始させる。

【0148】

ところで、図2の例では、プレ電力制限制御として、多段階電圧スケーリング制御部81が実行する多段階電圧スケーリング制御、TCC82が実行するTCCによる制御、および、スロットリング制御部84が実行するスロットリング制御といった3つの制御のうちの、任意のものが使用可能である（選択的に使用可能である）。

【0149】

従って、例えば、プレ電力制限制御として、多段階電圧スケーリング制御が使用される場合、AML91は、プレ電力制限設定として、多段階電圧スケーリング制御の実行の設定をMSR85に書き込む。すると、MSR85が、多段階電圧スケーリング制御部81に対して制御の開始を指令し、多段階電圧スケーリング制御部81が、その指令を受けて、AML91により設定された多段階電圧スケーリング制御を実行する。

【0150】

また、例えば、プレ電力制限制御として、TCCによる制御が使用される場合、AML91は、プレ電力制限設定として、TCCによる制御の実行の設定をMSR85に書き込む。すると、MSR85が、TCC82に対して制御の開始を指令し、TCC82が、その指令を受けて、AML91により設定されたTCCによる制御を実行する。

【0151】

また、例えば、プレ電力制限制御として、スロットリング制御が使用される場合、AML91は、プレ電力制限設定として、スロットリング制御の実行を設定する。即ち、AML91は、サウスブリッジ18のレジスタ102に「ON」を書き込む。すると、レジスタ102は、STPCLK#生成部101に対して生成指令を出力する。STPCLK#生成部101は、その生成指令を受けて、STPCLK#を生成し、信号線72を介してスロットリング制御部84に出力する。スロットリング制御部84は、STPCLK#を検出すると、AML91により設定されたスロットリング制御を実行する。

【0152】

このように、電力監視部 4 2 が電力制限要求を出力すると、即ち、電力制限制御装置の状態がプレ電力制限状態 1 5 2 に遷移すると、ほぼ即座にプレ電力制限制御が実行されることになる。

【0 1 5 3】

これに対して、電力監視部 4 2 が電力制限要求を出力すると、電力制限設定 (THRM#) は「ON」に設定されることになるが、タイマ 1 0 4 が所定の時間（例えば、インテル社製のサウスブリッジ 1 8 である場合、2 秒）を計時しないと（カウント動作を終了しないと）、レジスタ 1 0 3 は、生成指令を STPCLK#生成部 1 0 1 に出力しない。即ち、電力監視部 4 2 から電力制限要求が出力されても、電力制限制御は、即座に実行されず、タイマ 1 0 4 のカウント動作が終了した時点で実行されることになる。

【0 1 5 4】

コントローラ 4 0 は、プレ電力制限制御を解除するとき、AML 9 1 に対して、プレ電力制限解除要求を S C I により通知する。換言すると、コントローラ 4 0 が、AML 9 1 に対して、プレ電力制限解除要求を S C I により通知しない限り、プレ電力制限制御は実行され続ける。従って、このプレ電力制限解除要求が通知されないことが状態遷移条件 1 6 3 であり、状態遷移条件 1 6 3 が満たされている場合、電力制限制御装置の状態は、プレ電力制限状態 1 5 2 からプレ電力制限状態 1 5 2 に遷移する（状態は遷移しない）。

【0 1 5 5】

これに対して、コントローラ 4 0 が、AML 9 1 に対してプレ電力制限解除要求を S C I により通知すると、プレ電力制限制御は終了することになるので、電力制限制御装置の状態は、プレ電力制限状態 1 5 2 から、通常状態 1 5 1、または電力制限状態 1 5 3 に遷移することになる。

【0 1 5 6】

即ち、コントローラ 4 0 は、いままで実行されていたプレ電力制限制御が成功したと判断した場合、AML 9 1 に対してプレ電力制限解除要求を S C I により通知するとともに、電力制限制御の設定も解除する（電力制限設定 (THRM#) を「OFF」に設定する）。すると、状態遷移条件 1 6 4 が満たされたと判定され、電力

制限制御装置の状態が、プレ電力制限状態 152 から通常状態 151 に遷移する。

【0157】

このとき、レジスタ 103 は、タイマ 104 のカウント動作を終了させ、カウンタを初期化する。従って、いままで実行されていたプレ電力制限制御が成功したと判断された場合、電力制限制御は実行されないことになる。

【0158】

これに対して、コントローラ 40 は、いままで実行されていたプレ電力制限制御が失敗した（成功していない）と判断した場合、AML 91 に対してプレ電力制限解除要求を SCI により通知する。ただし、このとき、電力制限制御の設定は解除されない（電力制限設定 (THRM#) は、「OFF」に設定されず「ON」の設定のままとなる）。すると、状態遷移条件 165 が満たされたと判定され、電力制限制御装置の状態が、プレ電力制限状態 152 から電力制限状態 153 に遷移する。

【0159】

その後、サウスブリッジ 18 において、タイマ 104 のカウント動作が終了すると（インテル社製のサウスブリッジ 18 の場合、2 秒経過すると）、レジスタ 103 は、STPCLK# 生成部 101 に対して生成指令を出力する。STPCLK# 生成部 101 は、その生成指令を受けて、STPCLK# を生成し、信号線 72 を介してスロットリング制御部 84 に出力する。スロットリング制御部 84 は、STPCLK# を検出すると、電力制限設定 (THRM#) によるスロットリング制御（電力制限制御）を実行する。

【0160】

なお、プレ電力制限制御が成功したか否かを判定する条件は、特に限定されないが、本実施の形態においては次の通りとされる。

【0161】

即ち、コントローラ 40 は、プレ電力制限制御が実行されてからも、電力監視部 42 からの電力制限要求の出力の有無を監視し続ける。そして、コントローラ 40 は、プレ電力制限制御が実行されている間（プレ電力制限中アークナレッジ

を検出した時点から、プレ電力制限用のタイマ 1 1 2 のカウント動作が終了された時点までの間)、電力制限要求を検出しなかった場合、いままで実行されていたプレ電力制限制御は成功であると判定する。

【0 1 6 2】

これに対して、コントローラ 4 0 は、プレ電力制限制御が実行されている間に、電力制限要求を 1 度でも検出した場合、いままで実行されていたプレ電力制限制御は失敗であると判定する。

【0 1 6 3】

或いは、コントローラ 4 0 は、所定の時間が経過しても（プレ電力制限用のタイマ 1 1 2 が所定のカウント値をカウントしても）、AML 9 1 からプレ電力制限中アークナレッジが出力されない場合（検出しなかった場合）、プレ電力制限制御は失敗であると判定する。

【0 1 6 4】

なお、プレ電力制限用のタイマ 1 1 2 のカウント時間については後述する。

【0 1 6 5】

ところで、電力制限制御装置の状態が電力制限状態 1 5 3 に遷移すると、上述したように、電力制限制御（電力制限設定(THRM#)によるスロットリング制御）が実行される。

【0 1 6 6】

このとき、コントローラ 4 0 において、電力制限用のタイマ 1 1 1 は、カウント動作を行っており（カウント動作の開始のタイミングについては後述する）、電力制限用のタイマ 1 1 1 のカウント動作が終了すると、コントローラ 4 0 は、電力制限制御の設定の解除を行う。即ち、電力制限設定（THRM#）は、「OFF」に設定される。すると、レジスタ 1 0 3 は、生成指令の出力を停止する。STPCLK# 生成部 1 0 1 は、生成指令の出力の停止を検出して、STPCLK#の出力を停止する。スロットリング制御部 8 4 は、STPCLK#の出力の停止を検出すると、電力制限制御（電力制限設定(THRM#)によるスロットリング制御）の実行を停止する。

【0 1 6 7】

従って、電力制限制御装置の状態が電力制限状態 1 5 3 に遷移してからは、電

力制限用のタイマ 1 1 1 がカウント動作をしていることが状態遷移条件 1 6 6 であり、状態遷移条件 1 6 6 が満たされている場合、電力制限制御装置の状態は、電力制限状態 1 5 3 から電力制限状態 1 5 3 に遷移する（状態は遷移しない）。

【0 1 6 8】

これに対して、電力制限用のタイマ 1 1 1 のカウント動作が終了したことが状態遷移条件 1 6 7 であり、状態遷移条件 1 6 7 が満たされた場合、電力制限制御装置の状態は、電力制限状態 1 5 3 から通常状態 1 5 1 に遷移する。

【0 1 6 9】

なお、電力制限用のタイマ 1 1 1 のカウント時間については後述する。

【0 1 7 0】

次に、図 6 と図 7 を参照して、電力制限制御装置（図 2）における、電力制限用のタイマ 1 1 1、およびプレ電力制限用のタイマ 1 1 2 のカウント時間、並びに、電力制限制御、およびプレ電力制限制御の継続時間について説明する。

【0 1 7 1】

図 6 は、電力制限制御の継続時間、および電力制限用のタイマ 1 1 1 のカウント時間を説明するタイムチャートである。即ち、図 6 は、プレ電力制限制御が行われない場合（電力制限設定（THRM#）によるスロットリング制御のみが行われる場合）のタイムチャートである。

【0 1 7 2】

図 6 において、図中 1 番上に時間軸が示されている。そして、時間軸の下方に、図中上から順に、システム（図 1 の情報処理装置 1 全体）の消費電力、電力監視部 4 2 からの電力制限要求の出力の有無、電力制限設定（THRM#）（コントローラ 4 0 が信号線 7 1 を介してレジスタ 1 0 3 に「ON」を書き込むタイミング）、スロットリング制御の実行の有無（STPCLK#生成部 1 0 1 からの STPCLK#の出力の有無）、および、電力制限設定（THRM#）解除（コントローラ 4 0 が信号線 7 1 を介してレジスタ 1 0 3 に「OFF」を書き込むタイミング）のそれぞれのタイムチャートが示されている。

【0 1 7 3】

Pinplimit は、閾値である制限電力（いまの場合、電源装置 4 1 の定格電力）

を表しており、Pimaxは、電源装置 41 の仕様として規定されているピーク電力を表している。

【0174】

図 6 に示されるように、例えば、時刻 t1 に、消費電力が制限電力 Pinplimit を越えたとすると、電力監視部 42 は、それを検出し、電力制限要求をコントローラ 40 に出力する。

【0175】

なお、以下、電力制限要求、および、STPCLK#等の信号が出力されていることを、適宜「有」と称し、一方、出力されていないことを、適宜「無」と称する。

【0176】

コントローラ 40 は、電力制限要求が無から有に変化すると、電力制限設定 (THRM#) を「ON」に設定する。即ち、電力制限設定 (THRM#) のタイミングは、電力制限要求が無から有に変化するとき (図 6 の例では、略時刻 t1) である。

【0177】

サウスブリッジ 18 は、電力制限設定 (THRM#) が「ON」に設定されてから、デイレイ時間 T1 (タイマ 104 のカウント時間であって、具体的には、例えば、インテル社製のサウスブリッジ 18 の場合、仕様として設定されている 2 秒である) 経過後の時刻 t2 に、STPCLK#を、信号線 72 を介して CPU 11 のスロットリング制御部 84 に出力する。スロットリング制御部 84 は、STPCLK#を検出すると、スロットリング制御を開始し、STPCLK#を検出し続けている間、スロットリング制御を継続する。即ち、STPCLK#が無から有に変化したとき (図 6 の例では、時刻 t2)、スロットリング制御は開始され、STPCLK#が有の場合、スロットリング制御は継続される。

【0178】

このように、システム (情報処理装置 1) の消費電力が制限電力 Pinplimit を越えた時刻 t1 (厳密には、電力制限設定 (THRM#) が「ON」に設定され、タイマ 104 がカウント動作を開始した時刻) から、デイレイ時間 T1 経過した時刻 t2 に、電力制限設定 (THRM#) によるスロットリング制御 (電力制限制御) が開始される。換言すると、プレ電力制限制御が実行されない場合、この時刻 t1 から時刻 t2

の間は、無制御状態（電力制限設定(THRM#)によるスロットリング制御が施されていない状態）であるので、システム（情報処理装置 1）の消費電力が制限電力 $P_{inlimit}$ を超えた状態が続くことがある。

【0 1 7 9】

しかしながら、電源装置 4 1 の設計仕様において規定されている定格電圧（即ち、制限電圧 $P_{inlimit}$ ）は、電源装置 4 1 の発熱によって制限されるため、その瞬間値で管理されるわけではなく、所定の時間の平均電力値として管理される。換言すると、一時的に制限電力 $P_{inlimit}$ を越える電力の消費がなされても、規定のピーク電力 P_{imax} と Duty Rate の範囲内での平均電力が、制限電力 $P_{inlimit}$ を超えなければ電源装置 4 1 の設計仕様の範囲内とされる。

【0 1 8 0】

そこで、消費電力が定格電力（制限電圧 $P_{inlimit}$ ）を超える（可能性のある）時間 $T1$ と、Duty Rate（消費電力が定格電力内である時間と、定格電力を越える時間との比率）から、消費電力が定格電力内である時間 $T2$ を設定し、設定した時間 $T2$ の間、電力制限設定(THRM#)によるスロットリング制御（電力制限制御）を継続させれば、電源装置 4 1 の設計仕様を満たすことになる。即ち、時間 $T1$ + 時間 $T2$ の期間における平均電力（電源装置 4 1 の発熱）が、定格電力である制限電力 $P_{inlimit}$ 内に収められることになる。

【0 1 8 1】

具体的には、例えば、Duty Rate が 1 0 %（消費電力が定格電力内である時間と、定格電力を越える時間との比率が、9 : 1）とされ、かつ、ディレイ時間 $T1$ が 2 秒（サウスブリッジ 1 8 がインテル社製の場合のディレイ時間）とされた場合、このディレイ時間 $T1$ （2 秒）の間、ピーク電力 P_{imax} が続くと仮定すると、電力制限制御が維持されるべき時間 $T2$ （以下、電力制限維持時間 $T2$ と称する）は、ディレイ時間 $T1$ の 9 倍の時間、即ち、1 8 秒（ $= 9 \times T1 = 9 \times 2$ 秒）以上の時間となる。

【0 1 8 2】

例えば、この電力制限維持時間 $T2$ が、コントローラ 4 0 の電力制限用のタイマ 1 1 1 のカウント時間として使用可能である（ただし、後述するように、電力制

限用のタイマ 111 のカウント時間は電力制限維持時間 T2 に限定されない)。この場合、電力制限要求が有から無に変化する時刻 t2 に、電力制限用のタイマ 111 はカウント動作を開始し、電力制限維持時間 T2 分のカウントを行うと、カウント動作を終了する。このカウント動作が終了した時刻 t3 (時刻 t2 から電力制限維持時間 T2 だけ経過した時刻 t3) が、電力制限設定 (THRM#) 解除のタイミングとなる。

【0183】

即ち、コントローラ 40 は、時刻 t3 になると (電力制限用のタイマ 111 が電力制限維持時間 T2 分のカウントを終了すると)、サウスブリッジ 18 に対して電力制限制御の設定の解除を、信号線 71 を介して行う。即ち、電力制限設定 (THRM#) が「OFF」に設定される。すると、サウスブリッジ 18 は、STPCLK# の出力を停止する。スロットリング制御部 84 は、STPCLK# の出力の停止を検出すると、スロットリング制御を停止する。即ち、STPCLK# が有から無に変化したとき (図 6 の例では、時刻 t3)、電力制限設定 (THRM#) によるスロットリング制御 (電力制限制御) は終了する。

【0184】

図 7 は、プレ電力制限制御の継続時間、およびプレ電力制限用のタイマ 112 のカウント時間を説明する図である。

【0185】

図 7 において、図中水平方向の軸は、図 6 の時間軸と同一の時間軸を表している。即ち、時刻 t1 は、電力制限要求が無から有になる時刻を、時刻 t2 は、電力制限制御 (電力制限設定 (THRM#) によるスロットリング制御) の開始時刻を、時刻 t3 は、電力制限制御の終了時刻を、それぞれ表している。

【0186】

上述したように、ここでは、プレ電力制限制御と電力制限制御の同時実行は禁止されているので、プレ電力制限制御は、電力制限制御の開始前に終了している必要がある。即ち、プレ電力制限制御は、時刻 t1 から時刻 t2 までの間の所定の期間に行われることになる。

【0187】

そこで、図 7 に示されるように、プレ電力制限制御の終了時刻は、猶予時間 T_6 を考慮して、電力制限制御の開始時刻 t_2 よりも猶予時間 T_6 だけ前の時刻 t_b とされる。なお、この猶予時間 T_6 は、特に限定されないが、この例においては、例えば、0.2 秒とされる。

【0 1 8 8】

従って、プレ電力制限制御の時間は、時間 T_3 となる。即ち、いまの場合、時間 T_3 は、1.8 秒 ($T_3 = T_1 - T_6 = 2 - 0.2$ 秒) となる。

【0 1 8 9】

ただし、上述したように、規定のピーク電力 P_{imax} と Duty Rate の範囲内での平均電力が、制限電力 $P_{inplimit}$ を超えなければ電源装置 4 1 の設計仕様の範囲内とされる。従って、例えば、上述した図 6 の説明と同様に、Duty Rate が 1 0 % とされた場合、少なくとも、時間 T_3 の 90% の時間である時間 T_5 (いまの場合、 $T_3 \times 0.9 = 1.8 \times 0.9 = 1.62$ 秒) の間だけ、プレ電力制限制御が実行されれば、電源装置 4 1 の設計仕様を満たすことになる。

【0 1 9 0】

換言すると、略時刻 t_1 にコントローラ 4 0 が、プレ電力制限要求を S C I により A M L 9 1 に通知してから、プレ電力制限制御が実際に開始されるまでのタイムラグ (ディレイタイム) が、時間 T_3 の 10% の時間である時間 T_4 (いまの場合、 $T_3 \times 0.1 = 1.8 \times 0.1 = 0.18$ 秒) 以内であればよいことになる。即ち、時刻 t_1 から時間 T_4 だけ経過した時刻 t_a までの間に、プレ電力制限制御が開始されれば、電源装置 4 1 の設計仕様を満たすことになる。

【0 1 9 1】

そこで、プレ電力制限用のタイマ 1 1 2 は、プレ電力制限要求 (S C I) が通知される略時刻 t_1 に、カウント動作を開始し、プレ電力制限制御の終了予定時刻 t_b に、カウント動作を終了する。即ち、時間 T_3 が、プレ電力制限用のタイマ 1 1 2 のカウント時間である。

【0 1 9 2】

このとき、上述したように、コントローラ 4 0 は、プレ電力制限用のタイマ 1 1 2 のカウント値を監視し、時刻 t_a を過ぎても (プレ電力制限用のタイマ 1 1 2

が時間T4分のカウントをしても）、AML 4 1 からプレ電力制限中アークナレッジが出力されてこない場合、プレ電力制限制御は失敗であると判定する。即ち、時刻ta以降に、たとえ、プレ電力制限制御が開始されても、Duty Rateを確保することはできず、電源装置 4 1 の仕様を満たすことが不可能となるため、プレ電力制限制御は失敗であるとみなされる。

【 0 1 9 3 】

また、コントローラ 4 0 は、時刻tbの時点（プレ電力制限用のタイマ 1 1 2 が時間T3分のカウントを終了した時点）で、プレ電力制限制御中（プレ電力制限中アークナレッジを検出してから、時刻tbまでの間）における電力制限要求の有無に基づいて、プレ電力制限制御が成功したか否かを判定する。

【 0 1 9 4 】

次に、図 8 乃至図 1 1 のフローチャートを参照して、図 2 の電力制限制御装置のうちの電力制限設定部、即ち、コントローラ 4 0 と AML 9 1 の制御についてその順番で個別に説明する。

【 0 1 9 5 】

なお、プレ電力制限制御として、いずれの制御が利用されても、以下に説明する処理は同一の処理となるので、以下、プレ電力制限制御として、例えば、スロットリング制御が利用されたとする。

【 0 1 9 6 】

また、以下においても、プレ電力制限制御と電力制限制御の同時実行は禁止されており、プレ電力制限制御の後に電力制限制御が実行されたとする。

【 0 1 9 7 】

コントローラ 4 0 は、電力制限制御に関する処理（以下、電力制限処理と称する）、プレ電力制限制御に関する第 1 の処理（以下、プレ電力制限処理と称する）、および、プレ電力制限制御に関する第 2 の処理（以下、プレ電力制限の補助処理と称する）のそれぞれを、他とは独立して実行する。

【 0 1 9 8 】

これら 3 つの独立した処理のうちの、電力制限処理の例が図 8 のフローチャートに、プレ電力制限処理の例が図 9 のフローチャートに、プレ電力制限の補助処

理の例が図 10 のフローチャートに、それぞれ示されている。

【0199】

そこで、以下、コントローラ 40 の電力制限処理、プレ電力制限処理、および、プレ電力制限の補助処理のそれぞれを、図 8 乃至図 10 のフローチャートのうちの対応するものを参照して、その順番で個別に説明していく。

【0200】

はじめに、図 8 のフローチャートを参照して、コントローラ 40 の電力制限処理について説明する。

【0201】

ステップ S1 において、コントローラ 40 は、電力監視部 42 からの電力制限要求が入力されているか否かを判定する。

【0202】

ステップ S1 において、電力制限要求が入力されていないと判定した場合、コントローラ 40 は、ステップ S2 において、電力制限設定 (THRM#) は、「ON」の設定であるか否かを判定する。即ち、コントローラ 40 は、信号線 71 を介してサウスブリッジ 18 のレジスタ 103 に「ON」を既に入力したか否かを判定する。

【0203】

ステップ S2 において、電力制限設定 (THRM#) は、「ON」の設定ではないと判定した場合、即ち、サウスブリッジ 18 のレジスタ 103 に「ON」が入力されていない場合、コントローラ 40 は、ステップ S3 において、処理の終了が指示されたか否かを判定する。

【0204】

ステップ S3 において、処理の終了が指示されたと判定された場合、電力制限処理は終了となる。

【0205】

これに対して、処理の終了がまだ指示されていないと判定された場合、処理はステップ S1 に戻され、それ以降の処理が繰り返される。

【0206】

即ち、初期状態（レジスタ 1 0 3 に「ON」が書き込まれておらず、処理の終了が特に指示されていない状態）においては、コントローラ 4 0 は、電力監視部 4 2 の出力状態を常時監視する。

【 0 2 0 7 】

電力監視部 4 2 から電力制限要求が出力されると（ステップ S 1 において、電力制限要求が入力されたと判定されると）、コントローラ 4 0 は、ステップ S 4 において、電力制限用のタイマ 1 1 1 のカウンタを初期化する。

【 0 2 0 8 】

ステップ S 5 において、コントローラ 4 0 は、電力制限設定 (THRM#) は、「ON」の設定であるか否かを判定する。

【 0 2 0 9 】

いまの場合、レジスタ 1 0 3 に「ON」がまだ書き込まれていないので、コントローラ 4 0 は、ステップ S 5 において、電力制限設定 (THRM#) は、「ON」の設定ではないと判定し、ステップ S 6 において、電力制限設定 (THRM#) を「ON」に設定する。即ち、コントローラ 4 0 は、信号線 7 1 を介してレジスタ 1 0 3 に「ON」を書き込む。

【 0 2 1 0 】

その後、処理はステップ S 1 に戻され、電力制限要求が入力されているか否かが再度判定される。

【 0 2 1 1 】

上述したように、本実施の形態においては、電力制限設定 (THRM#) によるスロットリング制御（即ち、電力制限制御）が実行されるまでの間に、プレ電力制限制御（いまの場合、プレ電力制限設定によるスロットリング制御）が実行される。

【 0 2 1 2 】

しかしながら、プレ電力制限制御が開始されるまでは、電力制限要求が出力されていることが多いので、このような場合、ステップ S 1 において、電力制限要求が入力されていると判定され、上述したステップ S 4 の処理が実行されて、ステップ S 5 において、電力制限設定 (THRM#) は、「ON」の設定であるか否かが

再度判定される。いまの場合、電力制限設定(THRM#)は既に「ON」に設定されているので、ステップS5において、電力制限設定(THRM#)は、「ON」の設定であると判定され、処理は再度ステップS1に戻される。

【0213】

即ち、プレ電力制限制御が開始され、そのプレ電力制限制御の結果、電力監視部42から電力制限要求が出力されなくなるまで、ステップS1、ステップS4、およびステップS5の処理が繰り返される。

【0214】

そして、プレ電力制限制御の結果、電力監視部42から電力制限要求が出力されなくなると(ステップS1において、電力制限要求が入力されていないと判定されると)、ステップS2において、電力制限設定(THRM#)は、「ON」の設定であるか否かが判定される。

【0215】

いまの場合、コントローラ40は、ステップS2において、電力制限設定(THRM#)は、「ON」の設定であると判定し、ステップS7において、電力制限用のタイマ111をデクリメントする。

【0216】

なお、上述した図7の説明においては、電力制限用のタイマ111のカウント時間が、電力制限維持時間T2(上述した例では、18秒)とされたため、電力制限用のタイマ111のカウント動作の開始時刻は時刻t2(電力制限制御が実際に開始される時刻)であった。

【0217】

これに対して、図8のフローチャートの例では、電力制限用のタイマ111のカウント動作の開始時刻は、最初のステップS7の処理の実行時刻となる。具体的には、例えば、プレ電力制限制御が成功した場合、時刻t1から時刻taの間の時刻(即ち、電力制限制御の開始前の時刻)になる。

【0218】

そこで、コントローラ40が、図8のフローチャートに従って電力制限処理を実行する場合、電力制限用のタイマ111のカウント時間を、例えば、ディレイ

時間T1+電力制限維持時間T2（上述した例に換算すると、20秒）とすればよい。これにより、図8のフローチャートに従って電力制限制御が実行された場合であっても、電力制限制御（電力制限設定(THRM#)によるスロットリング制御）の終了時刻は、略時刻t3（少なくとも時刻t3よりも前になることはない）となり、電源装置41の仕様を満たすことができる。

【0219】

図8のステップS8において、コントローラ40は、電力制限用のタイマ111のカウンタが0になったか否かを判定する。

【0220】

ステップS8において、電力制限用のタイマのカウンタが0になっていないと判定された場合、その処理は、ステップS1に戻され、それ以降の処理が繰り返される。

【0221】

この間、サウスブリッジ18においては、タイマ104がカウント動作を実行しており、カウント動作を終了すると（インテル社製のサウスブリッジ18の場合、2秒が経過すると）、レジスタ103は、生成指令をSTPCLK#生成部101に出力する。STPCLK#生成部101は、生成指令を受けてSTPCLK#を生成し、信号線72を介してスロットリング制御部84に出力する。

【0222】

スロットリング制御部84は、このSTPCLK#を検出すると、スロットリング制御を開始する。その後、STPCLK#生成部101は、STPCLK#を出力し続けるので、電力制限設定(THRM#)によるスロットリング制御（電力制限制御）は継続される。

【0223】

そして、コントローラ40の電力制限用のタイマ111のカウンタが0になると（ステップS8において、電力制限用のタイマのカウンタが0になったと判定すると）、コントローラ40は、ステップS9において、電力制限設定(THRM#)を「OFF」に設定する。即ち、コントローラ40は、信号線71を介してサウスブリッジ18のレジスタ103に「OFF」を書き込む。

【0224】

すると、レジスタ103は、生成指令の出力を停止し、それに伴い、STPCLK#生成部101も、STPCLK#の出力を停止する。スロットリング制御部84は、STPCLK#の出力の停止を検出すると、電力制限設定(THRM#)によるスロットリング制御(電力制限制御)を停止する。

【0225】

このとき、コントローラ40の電力制限処理においては、処理はステップS1に戻され、それ以降の処理が繰り返されることになる。即ち、コントローラ40は、ステップS1乃至S3の処理を繰り返し、引き続き電力監視部42からの電力制限要求の有無を監視する。

【0226】

なお、図8のフローチャートは、サウスブリッジ18がインテル社製のものである場合の電力制限処理の例を表している。即ち、インテル社製のサウスブリッジ18は、電力制限設定(THRM#)が「ON」に設定されてから2秒経過した後(タイマ104が2秒を計時したとき)、STPCLK#を出力するという仕様を有している。このため、図8のフローチャートは、この仕様に基づいて、電力制限制御(電力制限設定(THRM#)によるスロットリング制御)が開始されるまでの2秒の間に、プレ電力制限制御が実行されることを前提とする、コントローラ40の電力制限処理の例を表している。

【0227】

しかしながら、インテル社製以外のサウスブリッジの中には、電力制限設定(THRM#)が「ON」に設定されると、即座にSTPCLK#を出力する(タイマ104が存在しない)ものもある。このようなサウスブリッジが、図2のサウスブリッジ18として使用されている場合、例えば、図8のフローチャートの処理に対して、さらに、次のような処理が追加される。

【0228】

即ち、例えば、ステップS5とステップS6の処理の間に、プレ電力制限設定が、「ON」の設定であるか否かの判定処理が追加される。そして、プレ電力制限設定が、「ON」の設定であると判定された場合、処理はステップS1に戻さ

れる。これに対して、プレ電力制限設定が、「ON」の設定ではない（「OFF」の設定である）と判定された場合、処理はステップ S 6 に進む。

【0229】

次に、図 9 のフローチャートを参照して、コントローラ 40 のプレ電力制限処理について説明する。

【0230】

ステップ S 21 において、コントローラ 40 は、電力制限設定 (THRM#) が変化したか否かを判定する。

【0231】

即ち、サウスブリッジ 18 のレジスタ 103 に書き込まれている設定が変化しない場合（「ON」のままか、または、「OFF」のままである場合）、ステップ S 21 において、電力制限設定 (THRM#) が変化していないと判定され、処理はステップ S 21 に戻され、電力制限設定 (THRM#) が変化したか否かが再度判定される。即ち、コントローラ 40 は、電力制限設定 (THRM#) を常時監視している。

【0232】

そして、監視の結果、サウスブリッジ 18 のレジスタ 103 に書き込まれている設定が「OFF」から「ON」に変化した場合、または、「ON」から「OFF」に変化した場合、ステップ S 21 において、電力制限設定 (THRM#) が変化したと判定される。換言すると、コントローラ 40 が、プレ電力制限処理とは独立して実行している電力制限処理、または、プレ電力制限の補助処理において、電力制限設定 (THRM#) を「ON」、または「OFF」に設定した場合（上述した図 8 のステップ S 6、ステップ S 9、または、後述する図 10 のステップ S 54 の処理を実行した場合）、プレ電力制限処理のステップ S 21 において、電力制限設定 (THRM#) が変化したと判定する。

【0233】

ステップ S 21 において、電力制限設定 (THRM#) が変化したと判定すると、コントローラ 40 は、ステップ S 22 において、電力制限設定 (THRM#) は、「ON」の設定であるか否かを判定する。

【0234】

具体的には、例えば、電力制限設定(THRM#)が、「ON」から「OFF」に変化した場合、ステップS 2 2において、電力制限設定(THRM#)は、「ON」の設定ではないと判定され、処理はステップS 2 9に進められる。なお、ステップS 2 9以降の処理については後述する。

【0 2 3 5】

これに対して、電力制限設定(THRM#)が、「OFF」から「ON」に変化した場合、ステップS 2 2において、電力制限設定(THRM#)は、「ON」の設定であると判定し、コントローラ4 0は、ステップS 2 3において、プレ電力制限機構は有効化中であるか否かを判定する。

【0 2 3 6】

なお、ここでは、図2の構成の電力制限制御装置のうちの、プレ電力制限制御を実行する部分（特に、電力制限設定部であるAML 9 1）を、プレ電力制限機構と称している。これに対して、電力制限制御を実行する部分を、電力制限機構と称している。

【0 2 3 7】

また、ここでは、プレ電力制限機構がプレ電力制限制御を実行することが可能な状態であることを、プレ電力制限機構が有効化中であると称する。これに対して、プレ電力制限機構がプレ電力制限制御を実行することが不可能な状態であることを、プレ電力制限機構が無効化中であると称する。

【0 2 3 8】

即ち、コントローラ4 0が、プレ電力制限機構を有効化にするとは、プレ電力制限機構がプレ電力制限制御を実行することが可能な状態であると判断し、プレ電力制限機構に対して処理を行う（例えば、プレ電力制限要求をSCIによりAML 9 1に通知する）ことを許可することである。これに対して、コントローラ4 0が、プレ電力制限機構を無効化にするとは、プレ電力制限機構がプレ電力制限制御を実行することが不可能な状態であると判断し、プレ電力制限機構に対して処理を行うことを禁止することである。

【0 2 3 9】

なお、プレ電力制限機構の有効化と無効化の具体的なタイミングについては後

述する。

【0 2 4 0】

ステップ S 2 3 において、プレ電力制限機構が有効化中ではない（無効化中である）と判定された場合、処理はステップ S 2 1 に戻され、それ以降の処理が繰り返される。

【0 2 4 1】

これに対して、ステップ S 2 3 において、プレ電力制限機構が有効化中であると判定した場合、コントローラ 4 0 は、ステップ S 2 4 において、通知済フラグが立っているか否かを判定する。

【0 2 4 2】

ここでは、コントローラ 4 0 が、プレ電力制限要求を S C I により A M L 9 1 に既に通知したこと表すフラグを、通知済フラグと称している。なお、通知済フラグを立てるタイミングと、解除するタイミングについては後述する。

【0 2 4 3】

ステップ S 2 4 において、通知済フラグがまだ立っていないと判定された場合、処理はステップ S 2 5 に進められる。なお、ステップ S 2 5 以降の処理については後述する。

【0 2 4 4】

これに対して、ステップ S 2 4 において、通知済フラグが立っていると判定した場合、コントローラ 4 0 は、ステップ S 2 8 において、処理の終了が指示されたか否かを判定する。

【0 2 4 5】

ステップ S 2 8 において、処理の終了が指示されたと判定された場合、プレ電力制限処理は終了となる。

【0 2 4 6】

これに対して、ステップ S 2 8 において、処理の終了がまだ指示されていないと判定された場合、処理はステップ S 2 1 に戻され、それ以降の処理が繰り返される。

【0 2 4 7】

以下、コントローラ 4 0 のプレ電力制限処理のうちのまだ説明していない処理も含めて、電力制限設定 (THRM#) が、「OFF」から「ON」に変化した場合の処理と、電力制限設定 (THRM#) が、「ON」から「OFF」に変化した場合の処理のそれぞれについて個別に説明する。

【0 2 4 8】

はじめに、電力制限設定 (THRM#) が、「OFF」から「ON」に変化した場合における、コントローラ 4 0 のプレ電力制限処理について説明する。

【0 2 4 9】

この場合、上述したように、ステップ S 2 1 において、電力制限設定 (THRM#) が変化したと判定され、さらに、ステップ S 2 2 において、電力制限設定 (THRM#) は、「ON」の設定であると判定された後、ステップ S 2 3 において、プレ電力制限機構は有効化中であるか否かが判定される。

【0 2 5 0】

ステップ S 2 3 において、プレ電力制限機構は有効化中であると判定された場合、上述したように、ステップ S 2 4 において、通知済フラグが立っているか否かが判定される。

【0 2 5 1】

いまの場合、プレ電力制限要求 (S C I) をまだ通知していないので、コントローラ 4 0 は、ステップ S 2 4 において、通知済フラグが立っていないと判定し、ステップ S 2 5 において、プレ電力制限要求を S C I により AML 9 1 に通知する。

【0 2 5 2】

そして、コントローラ 4 0 は、ステップ S 2 6 において、通知済フラグを立て、ステップ S 2 7 において、プレ電力制限制御用のタイマ 1 1 2 のカウンタを初期化する。その後、処理は、ステップ S 2 1 に戻され、それ以降の処理が繰り返される。

【0 2 5 3】

このとき、後述するように、AML 9 1 は、S C I でコントローラ 4 0 より通知されたと判定し、通知された要求は、プレ電力制限要求であると判定する（図

11のステップS62とS64)。そして、AML91は、プレ電力制限を設定する。即ち、いまの場合、プレ電力制限制御として、スロットリング制御が設定されているので、AML91は、サウスブリッジ18のレジスタ102に、プレ電力制限設定として「ON」を書き込む(図11のステップS65)。

【0254】

すると、レジスタ102は、ほぼ即座に生成指令をSTPCLK#生成部101に出力する。STPCLK#生成部101は、生成指令を受けてSTPCLK#を生成し、信号線72を介してスロットリング制御部84に出力する。スロットリング制御部84は、このSTPCLK#を検出すると、スロットリング制御を開始する。即ち、プレ電力制限制御として、スロットリング制御が実行される。

【0255】

AML91は、プレ電力制限制御が開始されるのを待って(処理を所定の時間待機して)、プレ電力制限中アークナレッジをコントローラ40に通知する(図11のステップS66とS67)。

【0256】

なお、このプレ電力制限中アークナレッジに関するコントローラ40側の処理は、プレ電力制限の補助処理における処理であるので、図10のフローチャートを参照して後述する。

【0257】

次に、電力制限設定(THRM#)が、「ON」から「OFF」に変化した場合における、コントローラ40のプレ電力制限処理について説明する。

【0258】

この場合、上述したように、ステップS21において、電力制限設定(THRM#)が変化したと判定され、ステップS22において、電力制限設定(THRM#)は、「ON」の設定ではないと判定され、処理はステップS29に進められる。

【0259】

即ち、ステップS29において、コントローラ40は、プレ電力制限解除要求(SCI)を既に通知したか否かを判定する。

【0260】

ステップS29において、プレ電力制限解除要求（SCI）をまだ通知していないと判定した場合、コントローラ40は、ステップS30において、プレ電力制限解除要求をSCIによりAML91に通知し、その処理をステップS31に進める。

【0261】

このとき、後述するように、AML91は、SCIでコントローラ40より通知されたと判定し、通知された要求は、プレ電力制限要求ではなく、プレ電力制限解除要求であると判定する（図11のステップS62、S64、およびS68）。そして、AML91は、プレ電力制限制御の設定を解除する。即ち、いまの場合、プレ電力制限制御として、スロットリング制御が設定されているので、AML91は、サウスブリッジ18のレジスタ102に「OFF」を書き込む（図11のステップS69）。

【0262】

すると、レジスタ102は、生成指令の出力を停止し、STPCLK#生成部101も、それに伴い、STPCLK#の出力を停止する。スロットリング制御部84は、STPCLK#の出力の停止を検出すると、スロットリング制御を停止する。即ち、プレ電力制限制御としてのスロットリング制御が停止する。

【0263】

これに対して、プレ電力制限解除要求（SCI）が既に通知されている場合（ステップS29において、プレ電力制限解除要求を既に通知したと判定された場合）、ステップS30の処理の実行は必要ないので、処理はそのままステップS31に進められる。

【0264】

ステップS31において、コントローラ40は、プレ電力制限機構を有効化する。そして、コントローラ40は、ステップS32において、プレ電力制限制御用のタイマ112のカウンタを初期化し、ステップS33において、通知済フラグをクリアする。その後、処理はステップS21に戻され、それ以降の処理が繰り返される。

【0265】

次に、図 1 0 のフローチャートを参照して、コントローラ 4 0 のプレ電力制限の補助処理について説明する。

【 0 2 6 6 】

ステップ S 4 1 において、コントローラ 4 0 は、プレ電力制限機構は有効化されているか否かを判定する。

【 0 2 6 7 】

ステップ S 4 1 において、プレ電力制限機構は有効化されていないと判定された場合、処理はステップ S 4 1 に戻され、プレ電力制限機構は有効化されているか否かが再度判定される。即ち、コントローラ 4 0 は、プレ電力制限機構が有効化されることを常時監視している。

【 0 2 6 8 】

換言すると、プレ電力制限の補助処理は、プレ電力制限機構が有効化された場合に実行される処理である。

【 0 2 6 9 】

ステップ S 4 1 において、プレ電力制限機構が有効化されていると判定した場合、コントローラ 4 0 は、ステップ S 4 2 において、通知済フラグが立っているか否かを判定する。即ち、プレ電力制限要求（S C I）が既に通知されているか否かが判定される。

【 0 2 7 0 】

ステップ S 4 2 において、通知済フラグが立っていないと判定した場合、コントローラ 4 0 は、ステップ S 4 3 において、処理の終了が指示されたか否かを判定する。

【 0 2 7 1 】

ステップ S 4 3 において、処理の終了が指示されたと判定された場合、プレ電力制限の補助処理は終了となる。

【 0 2 7 2 】

これに対して、ステップ S 4 3 において、処理の終了がまだ指示されていないと判定された場合、処理はステップ S 4 1 に戻され、それ以降の処理が繰り返される。即ち、プレ電力制限要求（S C I）が通知されるまで（通知済フラグが立

つまで)、ステップS41、ステップS42、およびステップS43の処理が繰り返される。

【0273】

プレ電力制限要求(SCI)が通知されると、通知済フラグが立つので(上述した図9のステップS25とS26)、コントローラ40は、ステップS42において、通知済フラグが立っていると判定し、ステップS44において、プレ電力制限用のタイマ112をデクリメントする。即ち、上述したように、プレ電力制限用のタイマ112は、プレ電力制限要求(SCI)が通知された時点(図7の例では、略時刻t1)で、カウント動作を開始する。

【0274】

ステップS45において、コントローラ40は、プレ電力制限中アークナレッジが到着したか否かを判定する。

【0275】

ステップS45において、プレ電力制限中アークナレッジがまだ到着していないと判定した場合、コントローラ40は、ステップS46において、プレ電力制限用のタイマ112のカウンタが閾値を超えたか否かを判定する。

【0276】

例えば、この閾値は、図7の時間T4に対応する値とすることができる。即ち、上述したように、AML91が、正常な状態であれば、プレ電力制限中アークナレッジは、プレ電力制限要求(SCI)が通知されてから時間T4が経過する前に到着するはずである。一方、時間T4が経過した後に(時刻ta以降に)、たとえ、プレ電力制限制御が開始されても、Duty Rate(例えば、図7の例では、時間T3に対する時間T4の割合)を確保することができず、電源装置41の仕様を満たすことが不可能となるため、プレ電力制限制御は失敗であるとみなされる。

【0277】

従って、閾値を図7の時間T4に対応する値とすることで、コントローラ40は、図10のステップS46において、プレ電力制限用のタイマ112のカウンタが閾値を超えたか否かを判定することで、プレ電力制限制御が失敗であるか否かを判定することができる。

【0278】

ステップS46において、プレ電力制限用のタイマ112のカウンタがまだ閾値を超えていないと判定された場合、処理はステップS41に戻され、それ以降の処理が繰り返される。即ち、プレ電力制御中アークナレッジが到着しなくとも、閾値に対応する時間が経過するまで、コントローラ40は、プレ電力制限制御は失敗であるとみなさず、プレ電力制御中アークナレッジの到着を待つことになる。

【0279】

これに対して、ステップS46において、プレ電力制限用のタイマ112のカウンタが閾値を超えたと判定した場合、コントローラ40は、プレ電力制限制御は失敗であるとみなし、ステップS47において、プレ電力制限機構を無効化する。即ち、コントローラ40は、AML91等のプレ電力制限機構がプレ電力制限制御を実行できる状態でないため、AML91がプレ電力制限中アークナレッジを通知することができないとみなし、プレ電力制限機構を無効化するのである。

【0280】

そして、コントローラ40は、ステップS48において、プレ電力制限解除要求をSCIによりAML91に通知し、ステップS49において、通知済フラグを解除する。その後、処理はステップS41に戻され、それ以降の処理が繰り返される。

【0281】

以上、プレ電力制限中アークナレッジがAML91から出力されない特殊な例について説明した。しかしながら、通常は、コントローラ40からのプレ電力制限要求（SCI）がAML91に通知されてから、AML91からのプレ電力制限中アークナレッジがコントローラ40に到着するまでに、ステップS46の処理で利用される閾値に対応する時間（例えば、図7の例では、時間T4）が経過することはない。

【0282】

即ち、通常、コントローラ40は、プレ電力制限制御用のタイマ112のカウ

ンタが閾値を越える前に、AML 91からのプレ電力制限中アークナレッジを検出し（ステップS 45において、プレ電力制限中アークナレッジが到着したと判定し）、ステップS 50において、電力監視部42からの電源制限要求の有無の監視を開始する。

【0283】

ステップS 51において、コントローラ40は、プレ電力制限用のタイマ112のカウンタが0になったか否かを判定する。

【0284】

ステップS 51において、プレ電力制限用のタイマ112のカウンタが0になっていないと判定された場合、処理はステップS 41に戻され、それ以降の処理が繰り返される。即ち、プレ電力制限用のタイマ112のカウンタが0になるまで（例えば、図7の例では、時間T3に対応するカウントが終了するまで）、ステップS 41、S 42、S 44、S 45、S 50、およびS 51の処理が繰り返される。具体的には、プレ電力制限用のタイマ112のカウンタがデクリメントされるとともに、電力制限要求の有無が監視される。

【0285】

そして、プレ電力制限用のタイマ112のカウンタが0になると（ステップS 51において、プレ電力制限制御用のタイマ112のカウンタが0になったと判定すると）、コントローラ40は、ステップS 52において、監視中、電源制限要求が入力されたか否かを判定する。

【0286】

即ち、監視中、1度でも電源制限要求が入力された場合（ステップS 52において、監視中、電源制限要求が入力されたと判定した場合）、コントローラ40は、いままで実行されていたプレ電力制限制御は失敗であるとみなし、上述したステップS 47以降の処理を実行する。

【0287】

これに対して、監視中、電源制限要求が1度も入力されなかった場合（ステップS 52において、監視中、電源制限要求が入力されていないと判定した場合）、コントローラ40は、いままで実行されていたプレ電力制限制御は成功である

とみなし、ステップ S 5 3 において、電源制限要求の有無の監視を終了し、ステップ S 5 4 において、電力制限設定 (THRM#) を「OFF」に設定する。その後、上述したステップ S 4 8 以降の処理が実行される。

【0288】

即ち、プレ電力制限制御で、システム（図 1 の情報処理装置 1）の消費電力を制限することができれば、それ以上の制限は不要である。従って、コントローラ 40 は、いままで実行されていたプレ電力制限制御が成功であると判断すると、電力制限制御（電力制限設定 (THRM#) によるスロットリング制御）が開始される前に、その設定の解除を行う。

【0289】

以上、コントローラ 40 が実行する電力制限処理、プレ電力制限処理、および、プレ電力制限の補助処理について説明した。

【0290】

次に、図 11 のフローチャートを参照して、コントローラ 40 のこれらの処理に対する、AML 91 のプレ電力制限処理について説明する。

【0291】

なお、図 11 のフローチャートにおいて、図中 1 番上のブロック内が、「AML (BIOS) のプレ電力制限処理開始」とされているのは、上述したように、プレ電力制限制御における電力制限設定部は、ACPI 環境下においては、AML 91 となるが、非 ACPI 環境下においては、BIOS 30（図 1）となるからである。即ち、非 ACPI 環境下においては、BIOS 30 が、ACPI 環境下における AML 91 のプレ電力制限処理と全く同様に、図 11 のフローチャートに従って、プレ電力制限処理を実行することができる。

【0292】

ただし、BIOS 30 が電力制限設定部とされた場合、上述したように、SCI ではなく SMI が使用されることになる。そこで、後述するステップ S 6 2 内の記載が、「SCI (SMI) でコントローラから通知されたか？」という記載とされている。

【0293】

はじめに、ステップ S 6 1 において、AML 9 1 は、スロットリング制御の電力制限量を設定する。即ち、図 2 には図示されていないが、AML 9 1 は、スロットリング制御部 8 4 が実行するスロットリング制御の制限量を設定することができる。そこで、AML 9 1 は、スロットリング制御が実行される前に、スロットリング制御部 8 4 に対して電力制限量の設定を行うのである。

【0294】

ステップ S 6 2 において、AML 9 1 は、SCI (SMI) でコントローラ 40 から通知されたか否かを判定する。

【0295】

ステップ S 6 2 において、SCI (SMI) でコントローラ 40 から通知されていないと判定した場合、AML 9 1 は、ステップ S 6 3 において、処理の終了が指示されたか否かを判定する。

【0296】

ステップ S 6 3 において、処理の終了が指示されたと判定された場合、プレ電力制限処理は終了となる。

【0297】

これに対して、ステップ S 6 3 において、処理の終了がまだ指示されていないと判定された場合、処理はステップ S 6 2 に戻され、それ以降の処理が繰り返される。即ち、AML 9 1 は、SCI でコントローラ 40 から通知されることを常時監視している。

【0298】

SCI でコントローラ 40 から通知されると (ステップ S 6 2 において、SCI (SMI) でコントローラから通知されたと判定すると)、AML 9 1 は、ステップ S 6 4 において、通知された要求は、プレ電力制限要求であるか否かを判定する。

【0299】

ステップ S 6 4 において、通知された要求は、プレ電力制限要求であると判定した場合、AML 9 1 は、ステップ S 6 5 において、プレ電力制限を設定する。即ち、いまの場合、プレ電力制限制御として、スロットリング制御が設定されて

いるので、AML 91は、サウスブリッジ18のレジスタ102に、プレ電力制限設定として「ON」を書き込む。

【0300】

すると、レジスタ102は、ほぼ即座に生成指令をSTPCLK#生成部101に出力する。STPCLK#生成部101は、生成指令を受けてSTPCLK#を生成し、信号線72を介してスロットリング制御部84に出力する。スロットリング制御部84は、このSTPCLK#を検出すると、スロットリング制御を開始する。即ち、プレ電力制限制御として、スロットリング制御が実行される。

【0301】

このとき、AML 91は、ステップS66において、処理を所定の時間待機し、ステップS67において、プレ電力制限中アークナレッジをコントローラ40に通知する。その後、上述したステップS63以降の処理が実行される。

【0302】

即ち、AML 91は、プレ電力制限制御が実際に開始されるのを待つために、処理を所定の時間待機し、その後、プレ電力制限中アークナレッジをコントローラ40に通知する。

【0303】

より詳細には、上述したように、コントローラ40は、プレ電力制限中アークナレッジが到達したことをトリガとして、電力監視部42の出力状態（電力制限要求の有無）の監視を開始する（図10のステップS45とS50）。そして、コントローラ40は、監視中、1度でも電力制限要求が有った場合（図10のステップS52の処理でYESであると判定された場合）、いままで実行されていたプレ電力制限制御は失敗であるとみなす。

【0304】

従って、仮に、プレ電力制限制御の開始前に、プレ電力制限中アークナレッジが出力されてしまうと、コントローラ40は、プレ電力制限制御が実行されていないにも関わらず、電力監視部42からの電力制限要求の有無の監視を開始してしまうことになる。その結果、コントローラ40は、電力制限要求の有無の監視を開始した直後、電力制限要求が有ったとみなしてしまうことになり、本来、プ

レ電力制限制御は成功であると判断しなければいけないケースにおいても、プレ電力制限制御は失敗であると誤った判断をする恐れがある。

【0 3 0 5】

そこで、AML 9 1 は、プレ電力制限制御が確実に開始されるまでの間、処理を待機し、プレ電力制限制御が開始されてから、プレ電力制限中アークナレッジをコントローラ 4 0 に通知するのである。

【0 3 0 6】

これに対して、ステップ S 6 4 において、通知された要求は、プレ電力制限要求ではないと判定した場合、AML 9 1 は、ステップ S 6 8 において、通知された要求は、プレ電力制限解除要求であるか否かを判定する。

【0 3 0 7】

ステップ S 6 8 において、通知された要求は、プレ電力制限解除要求ではないと判定された場合、上述したステップ S 6 3 以降の処理が実行される。

【0 3 0 8】

これに対して、ステップ S 6 8 において、通知された要求は、プレ電力制限解除要求であると判定した場合、AML 9 1 は、ステップ S 6 9 において、プレ電力制限制御の設定を解除する。その後、上述したステップ S 6 3 以降の処理が実行される。即ち、いまの場合、プレ電力制限制御として、スロットリング制御が設定されているので、AML 9 1 は、サウスブリッジ 1 8 のレジスタ 1 0 2 に「OFF」を書き込む。

【0 3 0 9】

すると、レジスタ 1 0 2 は、ほぼ即座に生成指令の出力を停止し、STPCLK#生成部 1 0 1 も、それに伴い、STPCLK#の出力を停止する。スロットリング制御部 8 4 は、このSTPCLK#の出力の停止を検出すると、スロットリング制御を停止する。即ち、プレ電力制限制御としてのスロットリング制御が停止される。

【0 3 1 0】

次に、図 1 2 乃至図 1 9 を参照して、図 2 の電力制限制御装置の動作のうちの、代表的な 4 つのケースについて説明する。

【0 3 1 1】

即ち、図12は、プレ電力制限制御が成功するケース（以下、第1のケースと称する）における、コントローラ40、AML91、およびサウスブリッジ18の処理の関係を表したアローチャートである。図13は、第1のケースにおけるタイムチャートを表している。

【0312】

図14は、プレ電力制限制御を実行したにも関わらず、制限電力以内に制限できなかったケース、即ち、プレ電力制限制御は実行されたが失敗してしまったケース（以下、第2のケースと称する）における、コントローラ40、AML91、およびサウスブリッジ18の処理の関係を表したアローチャートである。図15は、第2のケースにおけるタイムチャートを表している。

【0313】

図16は、AML91が応答せず、プレ電力制限制御を実行しなかったケース、即ち、プレ電力制限制御は実行されずに失敗してしまったケース（以下、第3のケースと称する）における、コントローラ40、AML91、およびサウスブリッジ18の処理の関係を表したアローチャートである。図17は、第3のケースにおけるタイムチャートを表している。

【0314】

図18は、AML91は応答したが、その応答が遅く、プレ電力制限制御が失敗とみなされたケース（以下、第4のケースと称する）における、コントローラ40、AML91、およびサウスブリッジ18の処理の関係を表したアローチャートである。図19は、第4のケースにおけるタイムチャートを表している。

【0315】

なお、図12、図14、図16、および図18のアローチャートの各ステップのそれぞれの処理は、上述した図8乃至図11のフローチャートのいずれかに記載されている、対応するステップの処理と同一の処理である。

【0316】

従って、図12、図14、図16、および図18のアローチャートにおいては、図8乃至図11のフローチャートの全てのステップの処理が記載されているわけではなく、そのうちの主要なステップの処理のみが記載されているが、これら

のフローチャートに記載されている処理の前後の関係については、図 8 乃至図 11 のフローチャートを参照することで、容易に理解することが可能である。

【0317】

また、図 13、図 15、図 17、および、図 19 において、各図のそれぞれの 1 番上に、時間軸が示されている。この時間軸は、上述した図 6（図 7）の時間軸と基本的に同様の時間軸を表している。そして、図中、時間軸の下方に、電力監視部 42 からの電力制限要求、スロットリング制御（STPCLK#生成部 101 からの STPCLK#）、電力制限設定（THRM#）（コントローラ 40 が信号線 71 を介してレジスタ 103 に「ON」を書き込むタイミング）、プレ電力制限要求（コントローラ 40 が AML91 に SCI により通知するタイミング）、プレ電力制限設定（いまの場合、AML91 がレジスタ 102 に「ON」を書き込むタイミング）、プレ電力制限中 ACK（アークナレッジ）（AML91 がコントローラ 40 にプレ電力制限中 ACK を通知するタイミング）、プレ電力制限設定解除（いまの場合、AML91 がレジスタ 102 に「OFF」を書き込むタイミング）、および電力制限設定（THRM#）解除（コントローラ 40 が信号線 71 を介してレジスタ 103 に「OFF」を書き込むタイミング）のそれぞれのタイムチャートが示されている。

【0318】

はじめに、図 12 と図 13 を参照して、第 1 のケースにおける、図 2 の電力制限制御装置の動作について説明する。

【0319】

図 13 に示されるように、例えば、いま、時刻 t1 に、電力監視部 42 からの電力制限要求が無から有に変化したとする。

【0320】

この場合、コントローラ 40 は、その変化とほぼ同時に（略時刻 t1）に、電力制限要求が入力されたと判定し（図 12 のステップ S1）、電力制限設定（THRM#）を「ON」に設定する（図 12 のステップ S6）。即ち、コントローラ 40 は、信号線 71 を介してサウスブリッジ 18 のレジスタ 103 に「ON」を書き込む。

【0321】

すると、サウスブリッジ18のタイマ104は、カウント動作を開始する。なお、上述したように、インテル社製のサウスブリッジ18の場合、タイマ104のカウント時間は2秒であるので、図12においては、タイマ104は、2秒タイマと記述されている。そこで、以下、サウスブリッジ18はインテル社製のものであるとして、タイマ104を、2秒タイマ104と称することにする。

【0322】

また、コントローラ40は、略時刻t1に、プレ電力制限要求をSCIによりAML91に通知し（図12のステップS25）、プレ電力制御用のタイマ112のカウントを開始する（図12のステップS44）。

【0323】

AML91は、通常の場合（ケース1の場合）、プレ電力制限要求が通知されるとほぼ同時に（図13の例では、時刻tAに）、プレ電力制限設定を行う。即ち、いまの場合、プレ電力制限制御はスロットリング制御とされているので、AML91は、ACPIレイヤ92を介して、サウスブリッジ18のレジスタ102に「ON」を書き込む。

【0324】

すると、レジスタ102は、ほぼ即座に生成指令をSTPCLK#生成部101に出力する。STPCLK#生成部101は、生成指令を受けてSTPCLK#を生成し、信号線72を介してスロットリング制御部84に出力する。スロットリング制御部84は、このSTPCLK#を検出すると、スロットリング制御を開始する。即ち、プレ電力制限制御として、スロットリング制御が実行される。

【0325】

プレ電力制限制御が開始されると、通常の場合、システム（図1の情報処理装置1）の消費電力は制限電力Piplimit（図6）より低く制限されるので、図13で示されるように、電力制限要求が有から無に変化し、その後、無の状態が続く。

【0326】

このとき、AML91は、処理を所定の時間待機し（図12のステップS66

）、プレ電力制限中アークナレッジ（ACK）をコントローラ 40 に通知する（図 12 のステップ S 67）。

【0327】

通常の場合、このプレ電力制限中アークナレッジ（ACK）は、コントローラ 40 のプレ電力制限用のタイマ 112 のカウント値が閾値を越える前に、コントローラ 40 に到着する。コントローラ 40 は、プレ電力制限中アークナレッジ（ACK）が到着したことを検出すると（図 12 のステップ S 45（YES））、電力制限要求の監視を開始する（図 12 のステップ S 50）。

【0328】

そして、コントローラ 40 のプレ電力制限用のタイマ 112 がカウント動作を終了すると（図 12 のステップ S 51（YES））、コントローラ 40 は、電力制限要求の監視を開始してから（図 13 の例では、プレ電力制限中 ACK の黒丸のタイミングから）、タイマ 112 のカウント動作が終了するまで（図 13 の例では、略時刻 tB）の間、電力制限要求の入力があったか否かを判定する。

【0329】

いまの場合（ケース 1 の場合）、図 13 で示されるように、電力制限要求は無い状態が続いているので、コントローラ 40 は、電力制限要求の入力はなかったと判定し（図 12 のステップ S 52（NO））、いままで実行されていたプレ電力制限制御（いまの場合、スロットリング制御）は成功であり、これ以上の電力制限制御は不要であると判断する。

【0330】

そこで、コントローラ 40 は、電力制限設定（THRM#）を「OFF」に設定する（図 12 のステップ S 54）とともに、プレ電力制限解除要求を SCI により AM L 91 に通知する（図 12 のステップ S 48）。

【0331】

すると、サウスブリッジ 18 の 2 秒タイマ 104 は、カウント動作を停止して、初期設定を行う。即ち、電力制限制御（電力制限設定（THRM#）によるスロットリング制御）は実行されないことになる。

【0332】

一方、AML 91は、プレ電力制限解除要求を受けて、プレ電力制限設定の解除を行う（図12のステップS68）即ち、いまの場合、プレ電力制限制御として、スロットリング制御が設定されているので、AML 91は、サウスブリッジ18のレジスタ102に「OFF」を書き込む。

【0333】

すると、レジスタ102は、ほぼ即座に生成指令の出力を停止し、STPCLK#生成部101も、それに伴い、STPCLK#の出力を停止する。スロットリング制御部84は、このSTPCLK#の出力の停止を検出すると、スロットリング制御を停止する。即ち、プレ電力制限制御としてのスロットリング制御が終了となる。

【0334】

なお、上述したように、いまの場合、プレ電力制限制御と電力制限制御（電力制限設定（THRM#）によるスロットリング制御）の同時実行は禁止されているので、これらの処理は、サウスブリッジ18の2秒タイマ104のカウント動作が終了するまで（いまの場合、2秒経過するまで）、即ち、電力制限制御が開始される予定の時刻（図13の例では、時刻t2）までに実行される必要がある。このため、図13の例では、時刻t2の前の時刻tB（時刻tBは、例えば、図7の時刻tbと同時刻）が、プレ電力制限設定解除と電力制限設定（THRM#）解除のタイミングとされている。

【0335】

このように、時間的に長い電力制限制御の開始前に、時間的に短いプレ電力制限制御が実行され、プレ電力制限制御だけでシステム（図1の情報処理装置1）の消費電力が十分に制限されれば、電力制限制御の実行は必須とされない。従って、電力制限設定（THRM#）によるスロットリング制御（電力制限制御）のみを行う場合に比較して、電力制限時の情報処理装置のパフォーマンスの悪化の度合いが著しく改善される。

【0336】

例えば、サウスブリッジ18がインテル社製のものであって、Duty Rateが10%の場合、電力制限設定（THRM#）によるスロットリング制御（電力制限制御）の時間は約20秒（開始までのデイレイ時間2秒含む）にもなる。これに対し

て、プレ電力制限制御は、システムの消費電力が制限電力を超えてから電力制限制御が開始される前まで、即ち、電力制限制御のディレイ時間（開始までのディレイ時間 2 秒）以内の時間で行われる。従って、プレ電力制限制御の電力制限時間は、電力制限制御のそれに比較して、 $1/10$ 以下で済むことになる。即ち、本発明においては、プレ電力制限制御が実行されるので、制限量は、実際に必要な量で済むことになる。

【0337】

次に、図 14 と図 15 を参照して、第 2 のケースにおける、図 2 の電力制限制御の動作について説明する。

【0338】

図 13 と図 15 を比較するとわかるように、第 1 のケース（図 13）は、プレ電力制限制御としてのスロットリング制御が成功し、電力制限要求が有から無に変化した後、そのまま無の状態が続くケースの例である。これに対して、第 2 のケース（図 15）は、プレ電力制限制御としてのスロットリング制御が実行されるまでは、第 1 のケースと同様である。しかしながら、その後、プレ電力制限制御では、システム（図 1 の情報処理装置 1）の消費電力を完全に制限することができず、状態 181 に示されるように、プレ電力制限制御中に、電力制限要求が有になってしまったケースの例である。

【0339】

従って、第 2 のケースにおける、コントローラ 40 のプレ電力制限用のタイマ 112 がカウント動作を終了する（図 14 のステップ S51（YES））までの、電力制限制御装置の動作は、第 1 のケースにおける動作と基本的に同様である。そこで、以下、第 2 のケースにおける、それ以降の電力制限制御装置の動作について説明する。

【0340】

即ち、コントローラ 40 のプレ電力制限用のタイマ 112 がカウント動作を終了すると（図 14 のステップ S51（YES））、コントローラ 40 は、電力制限要求の監視を開始してから（図 15 の例では、プレ電力制限中 ACK の黒丸のタイミングから）、プレ電力制限用のタイマ 112 がカウント動作を終了するま

で（図15の例では、略時刻tB）の間、電力制限要求の入力があったか否かを判定する。

【0341】

いまの場合（ケース2の場合）、図15の状態181で示されるように、プレ電力制限の間に、電力制限要求が1度有になってしまったので、コントローラ40は、電力制限要求の入力があったと判定し（図12のステップS52（YES））、いままで実行されていたプレ電力制限制御（いまの場合、スロットリング制御）は失敗であり、電力制限制御の実行が必要であると判断する。

【0342】

そこで、コントローラ40は、ケース1の場合とは違い、電力制限設定(THRM#)は解除せず（サウスブリッジ18に対しては、何の処理も実行せず）、プレ電力制限解除要求のみをSCIによりAML91に通知する（図14のステップS48）。

【0343】

AML91は、プレ電力制限解除要求を受けて、プレ電力制限設定の解除を行う（図12のステップS68）。

【0344】

すると、ケース1の場合と同様に、サウスブリッジ18のSTPCLK#生成部101からのSTPCLK#の出力が停止され、プレ電力制限制御としてのスロットリング制御は停止される。

【0345】

しかしながら、電力制限設定(THRM#)は解除されていないので（「ON」のままであるので）、2秒タイマ104のカウント動作が終了すると（図15の例では、時刻t2になると）、レジスタ103は、STPCLK#生成部101に対して生成指令を出力する。STPCLK#生成部101は、生成指令を受けてSTPCLK#を再度生成し、信号線72を介してスロットリング制御部84に出力する。スロットリング制御部84は、このSTPCLK#を検出すると、スロットリング制御を再度実行する。即ち、今度は、電力制限制御として、スロットリング制御が実行されることになる。

【 0 3 4 6 】

このように、図 2 の電力制限制御装置は、たとえ、プレ電力制限制御による結果が不十分なものであっても、次の電力制限制御を確実に実行するので、最終的に、システム（図 1 の情報処理装置 1）の消費電力を制限電力以下に制限することができる。

【 0 3 4 7 】

次に、図 1 6 と図 1 7 を参照して、第 3 のケースにおける、図 2 の電力制限制御の動作について説明する。

【 0 3 4 8 】

図 1 7 に示されるように、第 3 のケースは、コントローラ 4 0 がプレ電力制限要求（S C I）を A M L 9 1 対して行っただが、A M L 9 1 が応答しなかったケースの例である。

【 0 3 4 9 】

即ち、第 1 と第 2 のケースと同様に、例えば、時刻 t1 に、電力監視部 4 2 からの電力制限要求が無から有に変化したとする。

【 0 3 5 0 】

すると、コントローラ 4 0 は、その変化とほぼ同時に（略時刻 t1）に、電力制限要求が入力されたと判定し（図 1 6 のステップ S 1）、電力制限設定（THRM#）を「ON」に設定する（図 1 6 のステップ S 6）。これにより、サウスブリッジ 1 8 の 2 秒タイマ 1 0 4 は、カウント動作を開始する。

【 0 3 5 1 】

また、コントローラ 4 0 は、略時刻 t1 に、プレ電力制限要求を S C I により A M L 9 1 に通知し（図 1 6 のステップ S 2 5）、プレ電力制御用のタイマ 1 1 2 のカウント動作を開始する（図 1 6 のステップ S 4 4）。

【 0 3 5 2 】

ここまでの動作は、第 1 のケースと第 2 のケースの動作と基本的に同様である。

【 0 3 5 3 】

しかしながら、第 3 のケースにおいては、A M L 9 1 は、プレ電力制限要求に

対して応答しない。即ち、当然ながら、AML 91は、プレ電力制限中アークナレッジ (ACK) を出力しない。

【0354】

従って、コントローラ40は、プレ電力制限中ACKが到着しないと判定し続け(図16のステップS45 (NO))、コントローラ40のプレ電力制御用のタイマ102のカウンタが閾値を越えると(図16のステップS46 (YES))、即ち、図17の場合、時刻 t_a (図7の時刻 t_a と同一時刻)を過ぎると、プレ電力制限解除要求をSCIによりAML 91に通知する(図16のステップS48)。

【0355】

なお、ケース3の場合、AML 91が応答しておらず、プレ電力制限設定自身もなされていないため、プレ電力制限解除要求の通知は不要ではあるが、いまの場合、電力制限制御とプレ電力制限制御の同時実行が禁止されているので、安全上の処置として、プレ電力制限解除要求が通知される。

【0356】

このため、図17の例では、プレ電力制限設定解除のタイミングが白丸として示されている。即ち、AML 91は、応答しないため、プレ電力制限制御の設定の解除は行わないが、プレ電力制限解除要求自身は通知されているため、黒丸ではなく白丸として示されている。

【0357】

このように、第3のケースにおいては、AML 91が応答しないため、プレ電力制限制御は実行されない。

【0358】

そこで、サウスブリッジ18において、2秒タイマ104のカウント動作が終了すると(図17の例では、時刻 t_2 になると)、レジスタ103は、STPCLK#生成部101に対して生成指令を出力する。STPCLK#生成部101は、生成指令を受けてSTPCLK#を生成し、信号線72を介してスロットリング制御部84に出力する。スロットリング制御部84は、このSTPCLK#を検出すると、スロットリング制御を開始する。

【0359】

このように、図2の電力制限制御装置は、たとえ、AML91が応答せず、プレ電力制限制御を実行することができない状態であっても、電力制限制御を確実に実行するので、最終的に、システム（図1の情報処理装置1）の消費電力を制限電力以下に制限することができる。

【0360】

次に、図18と図19を参照して、第4のケースにおける、図2の電力制限制御装置の動作について説明する。

【0361】

図19に示されるように、第4のケースは、コントローラ40がプレ電力制限要求（SCI）をAML91対して行っただが、AML91の反応が遅く、十分なプレ電力制限制御が実行されなかったケースの例である。

【0362】

即ち、第1乃至第3のケースと同様に、例えば、時刻t1に、電力監視部42からの電力制限要求が無から有に変化したとする。

【0363】

すると、コントローラ40は、その変化とほぼ同時に（略時刻t1）に、電力制限要求が入力されたと判定し（図18のステップS1）、電力制限設定（THRM#）を「ON」に設定する（図18のステップS6）。これにより、サウスブリッジ18の2秒タイマ104は、カウント動作を開始する。

【0364】

また、コントローラ40は、略時刻t1に、プレ電力制限要求をSCIによりAML91に通知し（図18のステップS25）、プレ電力制御用のタイマ112のカウントを開始する（図18のステップS44）。

【0365】

ここまでの動作は、第1乃至第3のケースの動作と基本的に同様である。

【0366】

しかしながら、第3のケースにおいては、AML91の反応が遅く、例えば、図19の状態191に示されるように、時刻ta（プレ電力制限制御用のタイマ1

12の閾値に対応する時刻)の直前に、AML91がプレ電力制限制御の設定をしたとする(図18のステップS65)。

【0367】

この場合、サウスブリッジ18はSTPCLK#を出力し、CPU11のスロットリング制御部84は、プレ電力制限制御としてスロットリング制御を実行する。

【0368】

AML91は、このプレ電力制限制御の確実な実行を待つために、所定の時間だけ処理を待機した後、プレ電力制限中アークナレッジ(ACK)を出力することになる。即ち、プレ電力制限中ACKが出力されたとしても、その出力時刻は、時刻taを過ぎてしまう。

【0369】

ただし、この場合、プレ電力制限中ACKは、後述するプレ電力制限解除要求のタイミングによって、出力されることもあるし、出力されないこともある。そこで、図18には、プレ電力制限中ACKに関する処理は図示されてはならず、また、図19においては、プレ電力制限中ACKは黒丸ではなく白丸で示されている。

【0370】

従って、コントローラ40側から見た場合、ケース3と全く同様に、プレ電力制限中ACKが到着しないと判定され(図18のステップS45(NO))、コントローラ40のプレ電力制御用タイマ112のカウンタが閾値を越えると(図18のステップS46(YES))、即ち、図19の場合、時刻taを過ぎると、プレ電力制限解除要求がSCIによりAML91に通知される(図18のステップS48)。

【0371】

このように、ケース3の場合においては、AML91が応答しておらず、プレ電力制限設定自身もなされていないため、プレ電力制限解除要求の通知は必須ではなかったが、ケース4の場合においては、プレ電力制限制御自体は行われているので、プレ電力制限解除要求の通知は必須である。即ち、プレ電力制限中ACKが到着しない場合、ケース3においては、安全上の処置として、プレ電力制限

解除要求が通知されると説明したが、ケース 4 も想定すると、プレ電力制限解除要求の通知は必須な処理（処置）となる。

【0372】

このようにして、プレ電力制限解除要求が通知されると、AML 91 は、プレ電力制限制御の設定を解除する（図 18 のステップ S 68）。すると、サウスブリッジ 18 からの STPCLK# の出力が停止され、プレ電力制限制御（スロットリング制御部 84 が実行するスロットリング制御）も停止される。

【0373】

そして、サウスブリッジ 18 において、2 秒タイマ 104 のカウント動作が終了すると（図 19 の例では、時刻 t2 になると）、レジスタ 103 は、STPCLK# 生成部 101 に対して生成指令を出力する。STPCLK# 生成部 101 は、生成指令を受けて STPCLK# を生成し、信号線 72 を介してスロットリング制御部 84 に出力する。スロットリング制御部 84 は、この STPCLK# を検出すると、電力制限設定（THRM#）によるスロットリング制御（電力制限制御）を開始する。

【0374】

このように、図 2 の電力制限制御装置は、AML 91 の応答が遅く、プレ電力制限制御の実行が不十分な状態であっても（途中で中断されるので、図 19 の電力制限要求の点線で示されるように、時刻 ta から時刻 t2 の間に電力制限要求が有になることがあっても）、次の電力制限制御を確実に実行するので、最終的に、システム（図 1 の情報処理装置 1）の消費電力を制限電力以下に制限することができる。

【0375】

以上、図 2 の電力制限制御装置の動作の例として、代表的な 4 つのケース（第 1 乃至第 4 のケース）について説明した。

【0376】

これらの 4 つのケースのうちの第 1 のケースは、図 5 の状態遷移図においては、状態遷移条件 162 が満たされて、通常状態 151 からプレ電力制限状態 152 に遷移し、その後、プレ電力制限制御が成功したため、状態遷移条件 164 が満たされて、プレ電力制限状態 152 から通常状態 151 に戻るケースの例であ

る。

【0377】

これに対して、残りの第2乃至第4のケースは、図5の状態遷移図においては、状態遷移条件162が満たされて、通常状態151からプレ電力制限状態152に遷移し、その後、プレ電力制限制御が失敗したとみなされ、状態遷移条件165が満たされて、プレ電力制限状態152から電力制限状態153に遷移するケースの例である。

【0378】

以上、説明したように、本発明の情報処理装置（例えば、図2の構成の電力制限制御装置を有する図1の情報処理装置1）においては、情報処理装置全体の実際の消費電力が監視され、監視された消費電力が所定の閾値を超えた場合、電力制限要求が出力される。電力制限要求が出力されると、CPUの稼働率を制限することで消費電力を制限する制御として、第1の制御が設定されるとともに、第2の制御が設定される。そして、必要に応じて、第1の制御と第2の制御が同時に実行されたり、どちらか1方のみが実行されたり、或いは、どちらか1方が先に実行された後、他方が実行される。

【0379】

また、本発明の情報処理装置は、第1の制御と第2の制御のみならず、さらに多段階の制御の実行も容易に実現可能である。

【0380】

従って、本発明の情報処理装置は、以下の（1）乃至（8）のような効果を奏することが可能になる。

【0381】

（1）本発明においては、多段階の電力制限制御が実行されるので、電源設計難易度を下げることが可能になる。

【0382】

（2）本発明においては、例えば、上述した図面や説明を参照することで、品質事故防止や論理的整合性を維持しながら、電力供給装置の持続的供給可能な電力量を超える電力（ただし、一時的）を消費するシステムの設計が可能になる。

その結果、電力供給装置のサイズや重量などを小さくでき、商品力を向上させることが可能になる。

【0383】

(3) 1回だけの電力制限制御が実行される手法においては、電力制限制御を実行する状態と、実行しない状態の2つの状態しかないため、最悪条件を想定して設計する必要がある。従って、閾値（例えば、図6の制限電力Pinplimit）より少しだけしか消費電力が上回らない電力消費に対しても大きな電力制限を掛ける必要があり、その結果、情報処理装置のパフォーマンスが出ない、または、ユーザビリティが悪化するという問題点があった。これに対して、本発明の情報処理装置においては、例えば、図5の状態遷移図に示されるように、3つ以上の状態を容易に作ることが可能である。従って、本発明の情報処理装置は、閾値を少しだけ上回るような電力消費に対しても、はじめに、最悪設計値よりも低い消費電力制限を行い（例えば、図5の例では、プレ電力制限状態152に遷移し）、それでも制限できない場合、はじめに、最悪設計値での消費電力制限を行う（例えば、図5の例では、プレ電力制限状態152に遷移する）ことが可能になる。即ち、本発明の情報処理装置は、上述した問題点を解決することが可能になる。

【0384】

(4) 第1の制御を、ハードウェアドリブンによる電力制限制御（例えば、THRM#によるスロットリング制御）とし、第2の制御を、ソフトウェアドリブンによるプレ電力制限制御（例えば、AML（非ASPI環境下の場合、BIOS）が制御の設定を行う多段階電圧スケーリング制御、TCCによる制御、またはスロットリング制御）とすれば、第1の制御のみを使用する情報処理装置に比較しても、ほぼ同じコストで、第1の制御と第2の制御の両方を使用可能な情報処理装置の製作が可能になる。

【0385】

(5) 第2の制御であるソフトウェアドリブンによるプレ電力制限制御は、第1の制御であるハードウェアドリブンによる電力制限制御よりも反応速度が早い。従って、第1の制御と第2の制御の両方を実行する本発明の情報処理装置は、

第1の制御のみを使用する情報処理装置に比較して、電力制限制御を即座に実行することができる。即ち、電源負荷が少なく、電源を休ませる時間を短くすることができる。換言すると、情報処理装置のパフォーマンスダウン時間を最小限に収めることが可能になる。

【0386】

(6) 一方、第1の制御であるハードウェアドリブンによる電力制限制御は、第2の制御であるソフトウェアドリブンによるプレ電力制限制御よりも信頼性が高い。従って、第1の制御と第2の制御の両方を実行する本発明の情報処理装置は、第2の制御のみを使用する情報処理装置に比較して、信頼性を確保することが可能になる。具体的には、制御対象の状態が異常な状態（例えば、システム（情報処理装置自身）がハングアップしていたり、Too busyであったりする状態）であっても、本発明の情報処理装置は、電力制限制御を確実に行うことができる。

【0387】

(7) 本発明においては、スロットリング制御開始のトリガは、ハードウェア（例えば、図3に示される電力監視部42）から信号として出力されるので、OS、ソフトウェアアプリケーション、または、制御テーブルが不必要となり、その結果、電力制限制御の継承、および標準化が容易に実現可能となる。

【0388】

(8) さらに、本発明の情報処理装置は、電力閾値（例えば、図3に示される電力監視部42が使用する閾値）として単に1つの値を有すればよいので、閾値を複数持つ従来の情報処理装置よりも、ハードウェアコスト、設計工数、および、検証コストのそれぞれを抑制することが可能となる。

【0389】

なお、本発明の電力制限制御を行うために必要な電流の検出は、上述した図3の電送路131を流れる電流 I_n の検出に限定されず、情報処理装置1内外を問わず、情報処理装置1の消費電力の増減に関与する電流が流れる電送路の検出であればよい。例えば、CPU11を流れる電流の検出であってもよいし、USBバス57を流れる電流の検出であってもよい。

【 0 3 9 0 】

また、上述した例では、CPUの稼働率低減機能を利用し制御するようにしたが、稼働率低減機能を有していれば、その他のプロセッサ、例えば、図示はしないが、DSP (Digital Signal Processor) やMPU (Micro Processing Unit)などを同様に制御することができる。即ち、本明細書においては、プロセッサとは、情報処理装置に搭載されるハードウェアとしての装置であって、所定の演算を実行する演算装置、所定の制御を実行する制御装置、または、演算装置と制御装置を少なくとも有する装置のことである。

【 0 3 9 1 】

ところで、上述した一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、記録媒体からインストールされる。

【 0 3 9 2 】

記録媒体は、図1に示されるように、パーソナルコンピュータとは別に、ユーザにプログラムを提供するために配布される、プログラムが記録されている磁気ディスク61 (フレキシブルディスクを含む)、光ディスク62 (CD-ROM (Compact Disc-Read Only Memory), DVD (Digital Versatile Disc) を含む)、光磁気ディスク63 (MD (Mini-Disc) (登録商標) を含む)、若しくは半導体メモリ64などよりなるパッケージメディアにより構成されるだけでなく、コンピュータに予め組み込まれた状態でユーザに提供される、プログラムが記憶されているROMやHDD27が含まれるハードディスクなどで構成される。

【 0 3 9 3 】

なお、本明細書において、媒体により提供されるプログラムを記述するステップは、記載された順序に従って、時系列的に行われる処理は勿論、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【 0 3 9 4 】

**【発明の効果】**

以上のごとく、本発明によれば、情報処理装置の消費電力を制限する制御を実行することができる。特に、品質事故を防ぎつつ、実際に必要な制限量で、情報処理装置の消費電力を制限する制御であって、継承と標準化が容易な制御を実行することができる。

【図面の簡単な説明】**【図 1】**

本発明が適用される情報処理装置の構成例を示すブロック図である。

【図 2】

図 1 の情報処理装置のうちの、電力制限制御を行う部分（電力制限制御装置）の構成例を示す機能ブロック図である。

【図 3】

図 2 の電力監視部の詳細な構成例を示すブロック図である。

【図 4】

2 段階の電力制限制御の例、即ち、1 段階目のプレ電力制限制御と、2 段階目の電力制限制御を説明する図である。

【図 5】

図 2 の電力制限制御装置の状態とその遷移の例を説明する状態遷移図である。

【図 6】

図 2 の電力制限制御装置が実行する 2 段階の電力制限制御のうちの、2 段階目の電力制限制御の処理例を説明するタイムチャートである。

【図 7】

図 2 の電力制限制御装置が実行する 2 段階の電力制限制御のうちの、1 段階目のプレ電力制限制御の処理例を説明する図である。

【図 8】

図 2 の電力制限制御装置のコントローラの電力制限処理例を説明するフローチャートである。

【図 9】

図 2 の電力制限制御装置のコントローラのプレ電力制限処理例を説明するフロ

ーチャートである。

【図 10】

図 2 の電力制限制御装置のコントローラのプレ電力制限の補正処理例を説明するフローチャートである。

【図 11】

図 2 の電力制限制御装置の AML（または、BIOS）の電力制限処理例を説明するフローチャートである。

【図 12】

図 2 の電力制限制御装置のコントローラ、AML（または、BIOS）、サウスブリッジの第 1 のケースにおける処理の関係を示すアローチャートである。

【図 13】

図 12 のアローチャートに示される、第 1 のケースにおける処理を説明するタイムチャートである。

【図 14】

図 2 の電力制限制御装置のコントローラ、AML（または、BIOS）、サウスブリッジの第 2 のケースにおける処理の関係を示すアローチャートである。

【図 15】

図 14 のアローチャートに示される、第 2 のケースにおける処理を説明するタイムチャートである。

【図 16】

図 2 の電力制限制御装置のコントローラ、AML（または、BIOS）、サウスブリッジの第 3 のケースにおける処理の関係を示すアローチャートである。

【図 17】

図 16 のアローチャートに示される、第 3 のケースにおける処理を説明するタイムチャートである。

【図 18】

図 2 の電力制限制御装置のコントローラ、AML（または、BIOS）、サウスブリッジの第 4 のケースにおける処理の関係を示すアローチャートである。

【図 19】

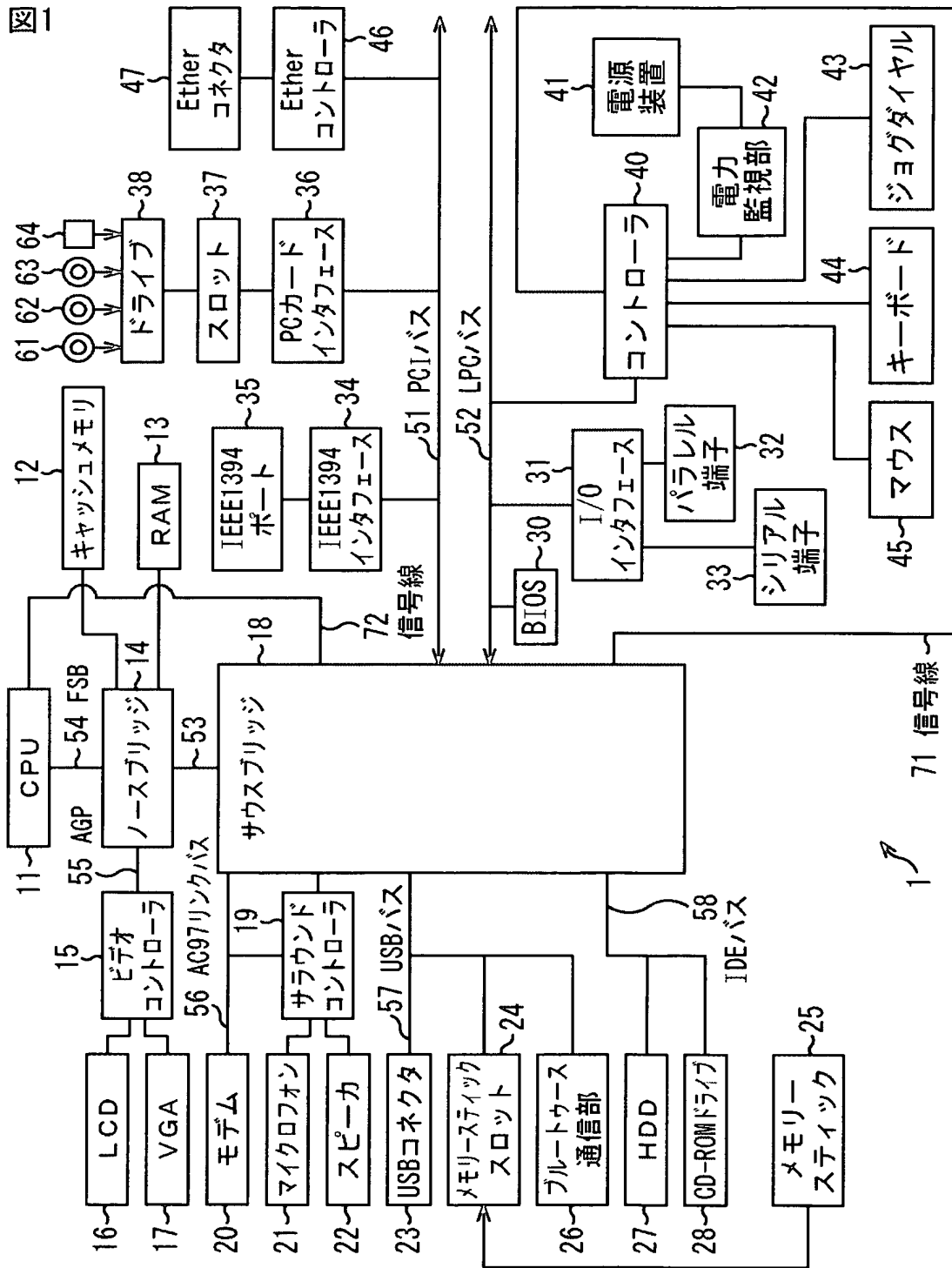
図18のフローチャートに示される、第4のケースにおける処理を説明するタイムチャートである。

【符号の説明】

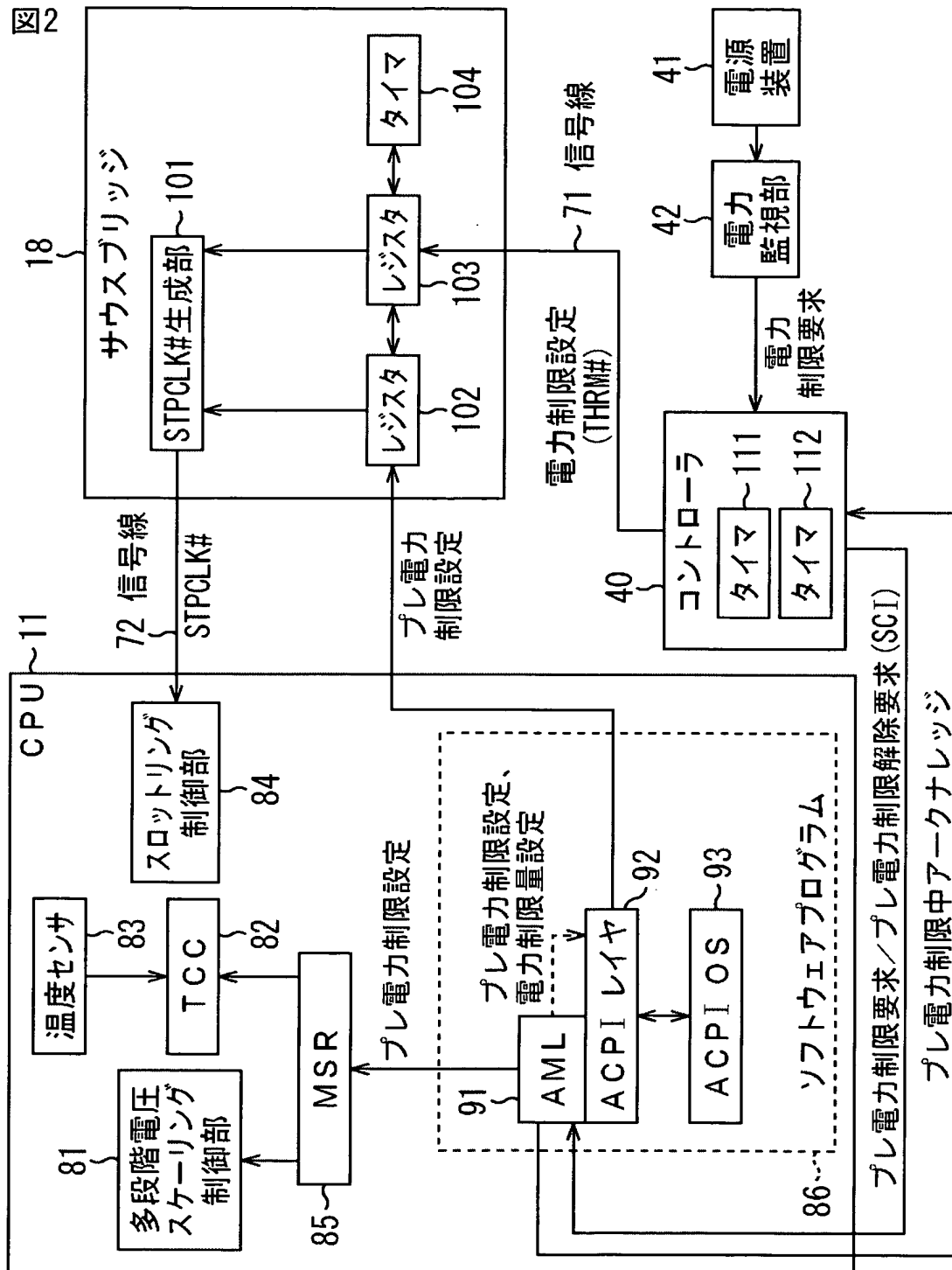
1 情報処理装置, 11 CPU, 18 サウスブリッジ, 40 コントローラ, 41 電源装置, 42 電力監視部, 71, 72 信号線, 81 多段階電圧スケーリング制御部, 82 TCC, 84 スロットリング制御部, 85 MSR, 91 AML, 101 STPCLK#生成部, 102 レジスタ, 103 レジスタ, 104, 111, 112 タイマ, 121 電流検出部, 122 増幅部, 123 電力リミット検出部, 131 電送路, 151 通常状態, 152 プレ電力制限状態, 153 電力制限状態, Piplimit 制限電圧, T1乃至T6 時間, t1乃至t3, tA, tB, ta, tb 時刻

【書類名】 図面

【図 1】

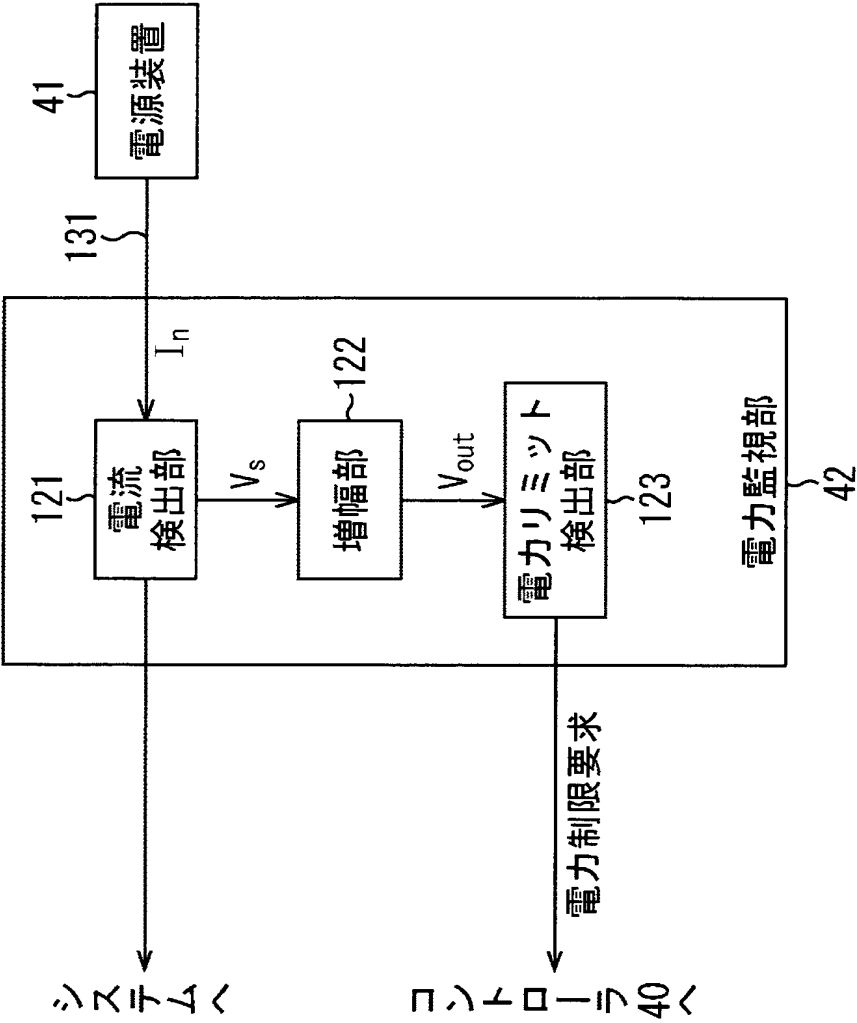


【図 2】



【図 3】

図3



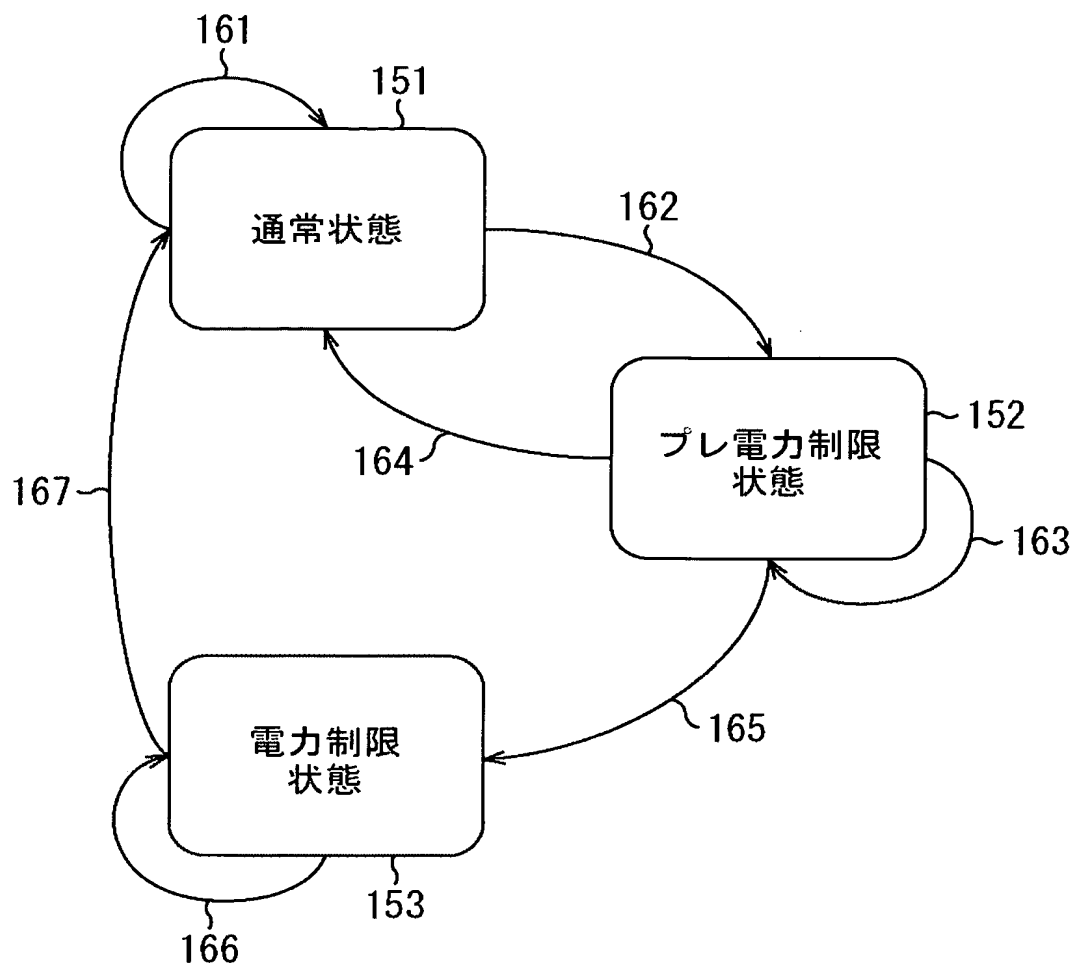
【図 4】

図4

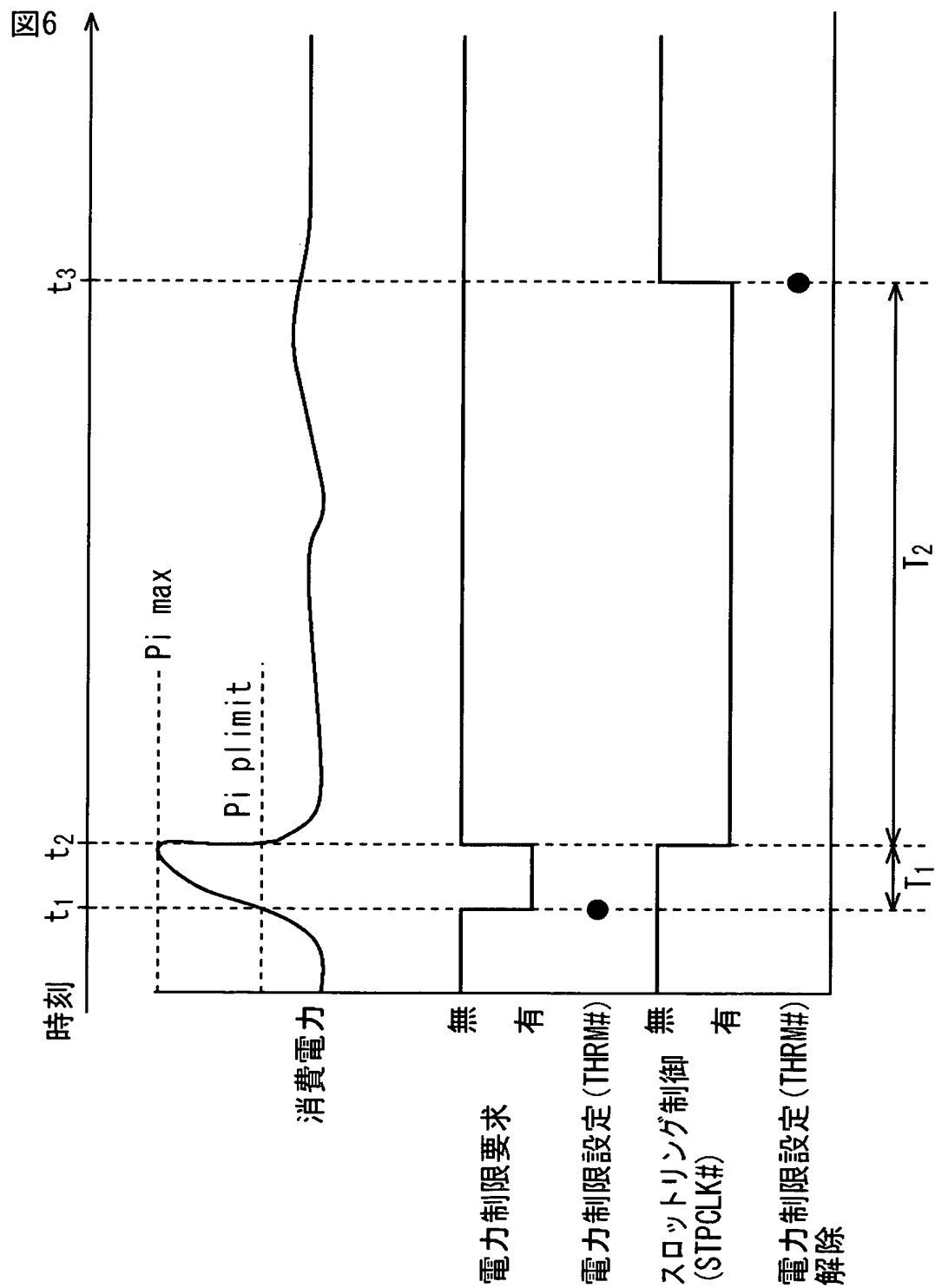
制御名	プレ電力制限制御	電力制限制御
電力制限設定部	AML91、または、BIOS30 (ただし、制御の開始と終了のトリガは、 コントローラ40からのSCI、または SMIによる通知)	コントローラ40
電力制限内容	スロットリング制御 TCCによる制御 多段階電圧スケーリング制御	スロットリング制御

【図 5】

図5

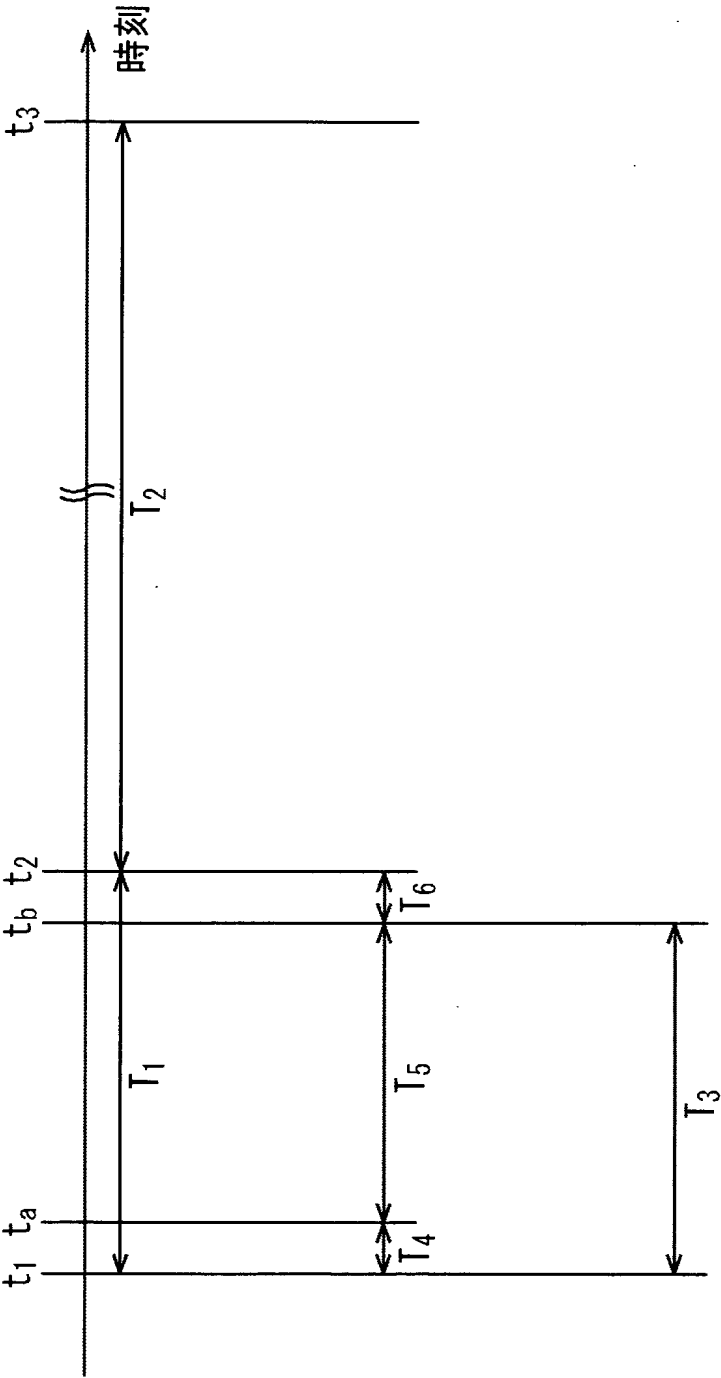


【図 6】



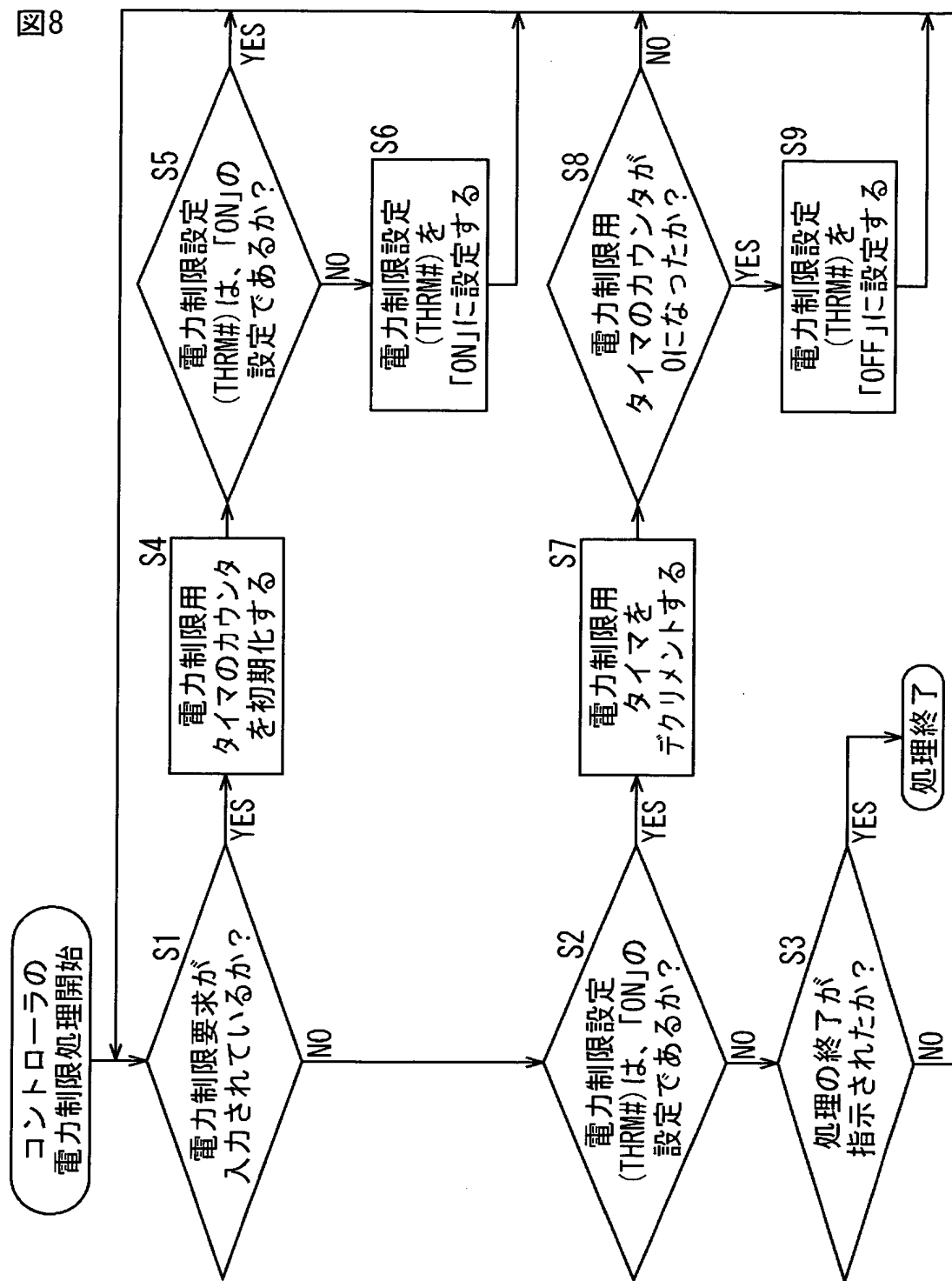
【図 7】

図7

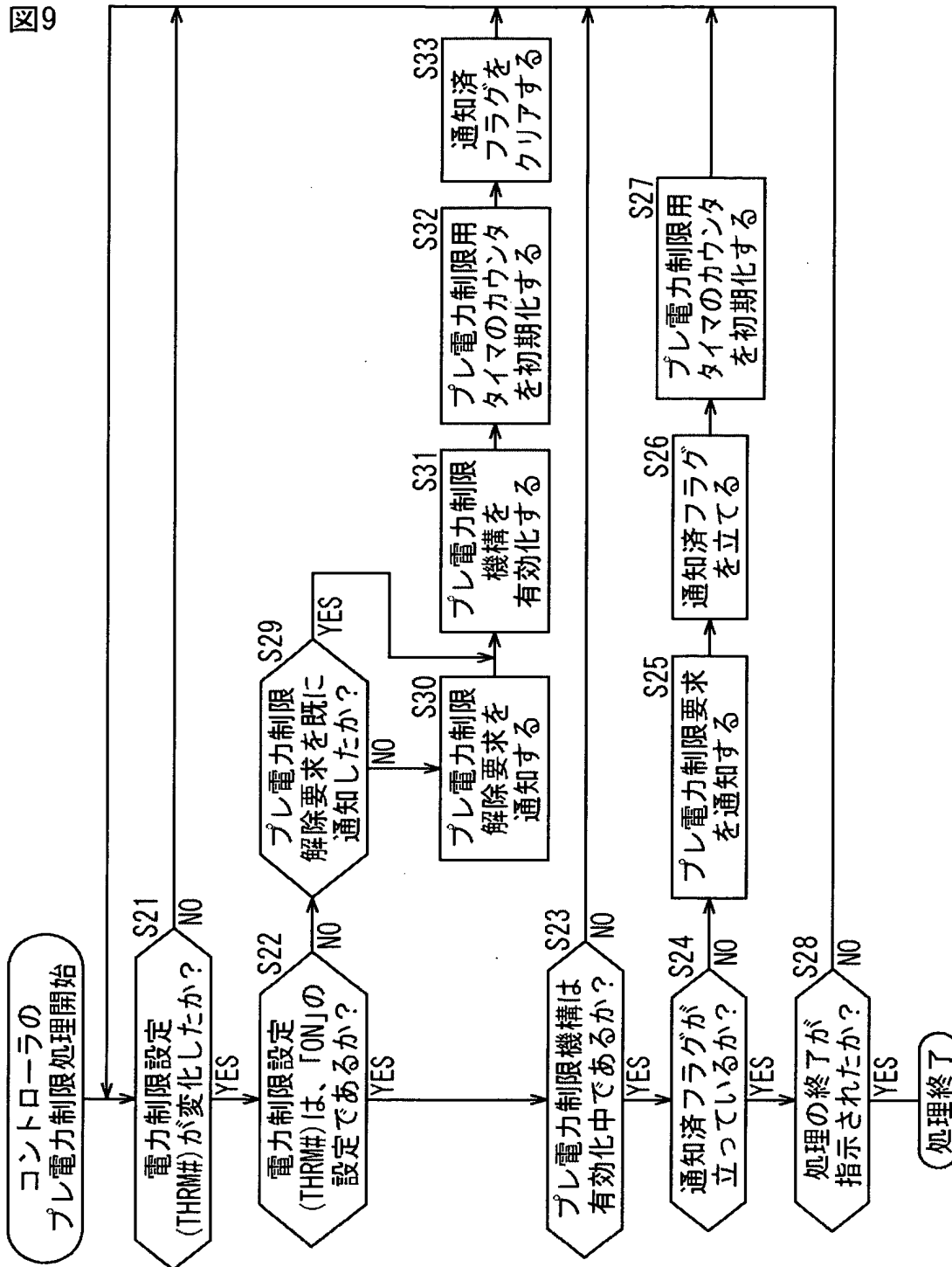


【図 8】

図 8

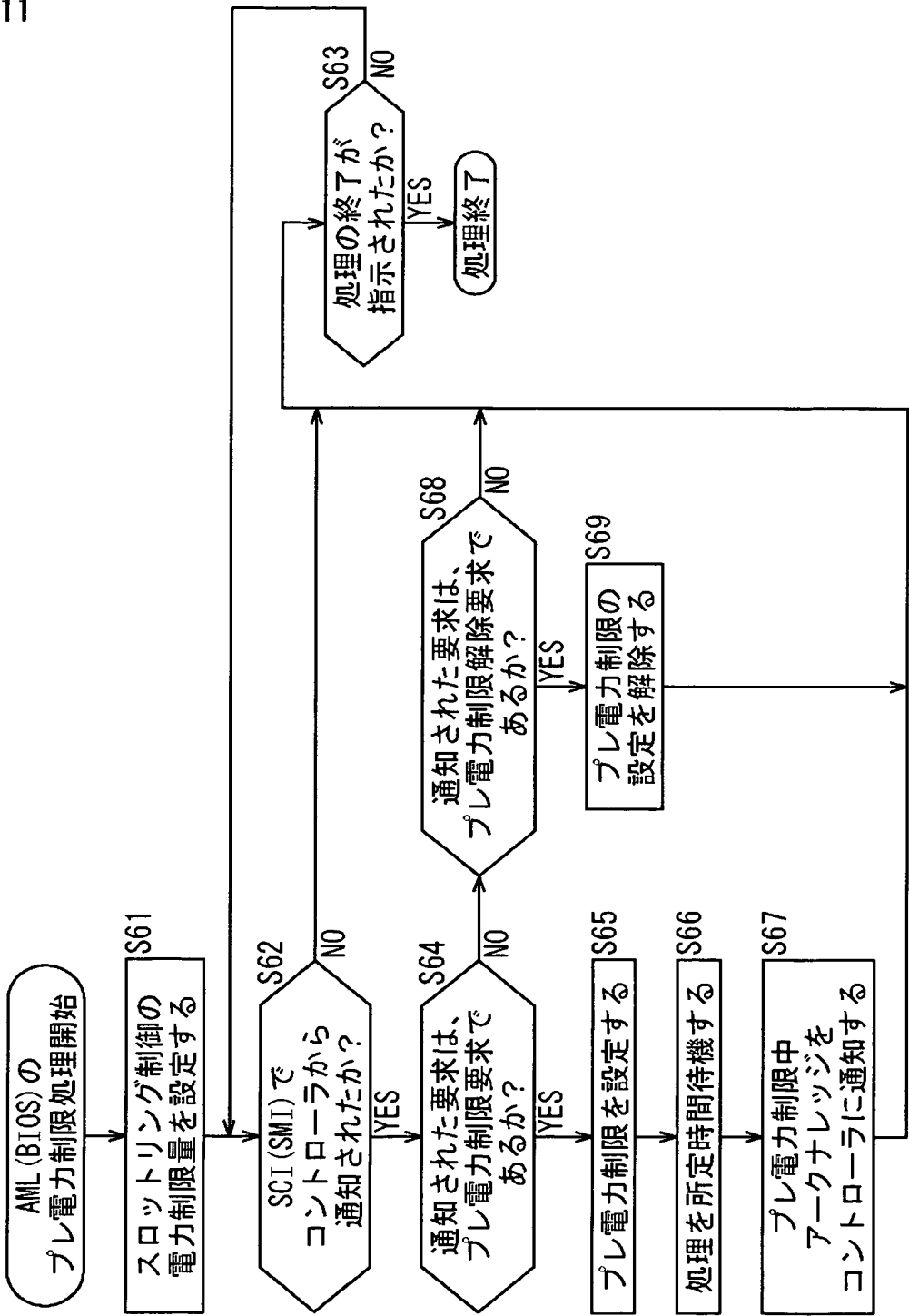


【図 9】



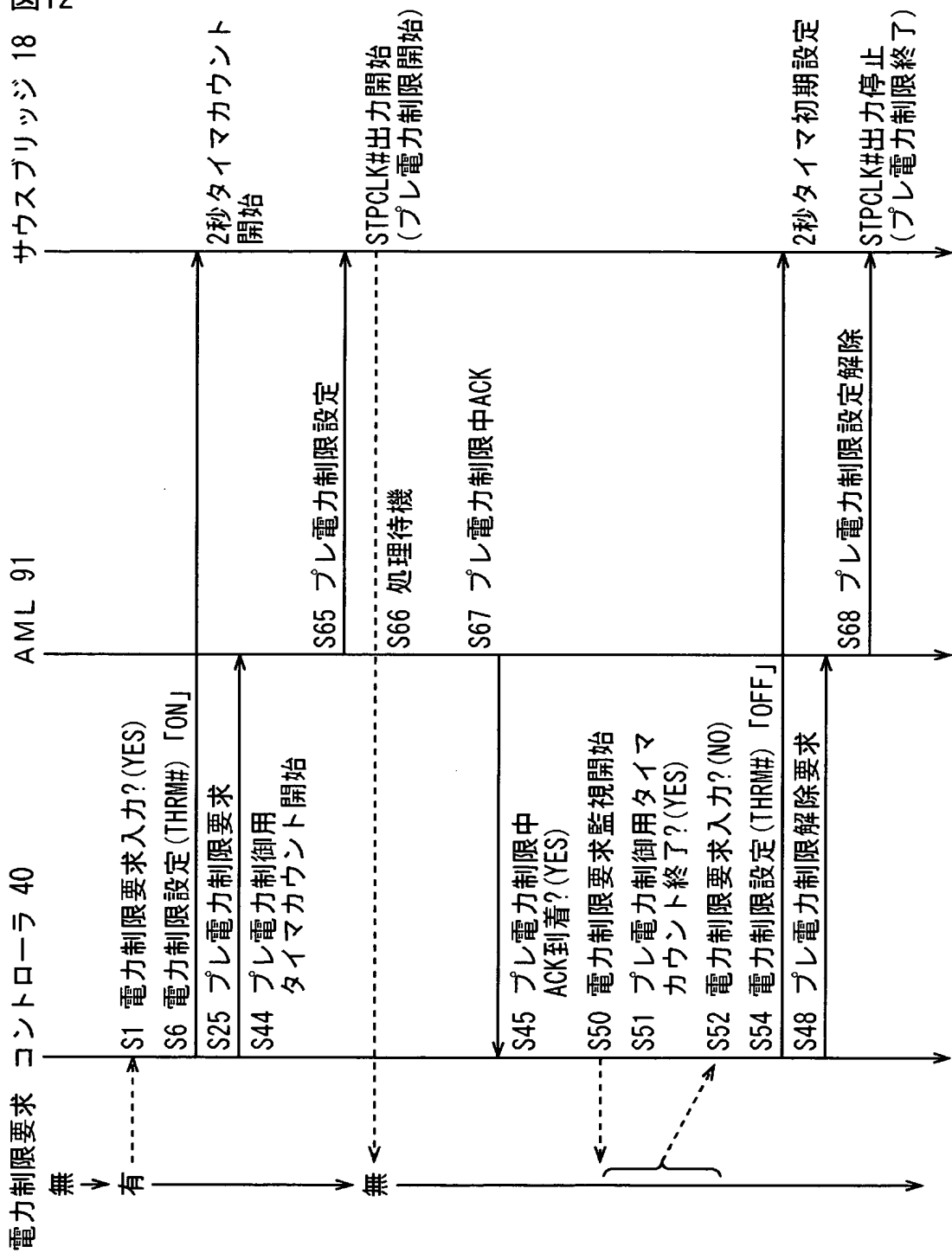
【図 11】

図 11



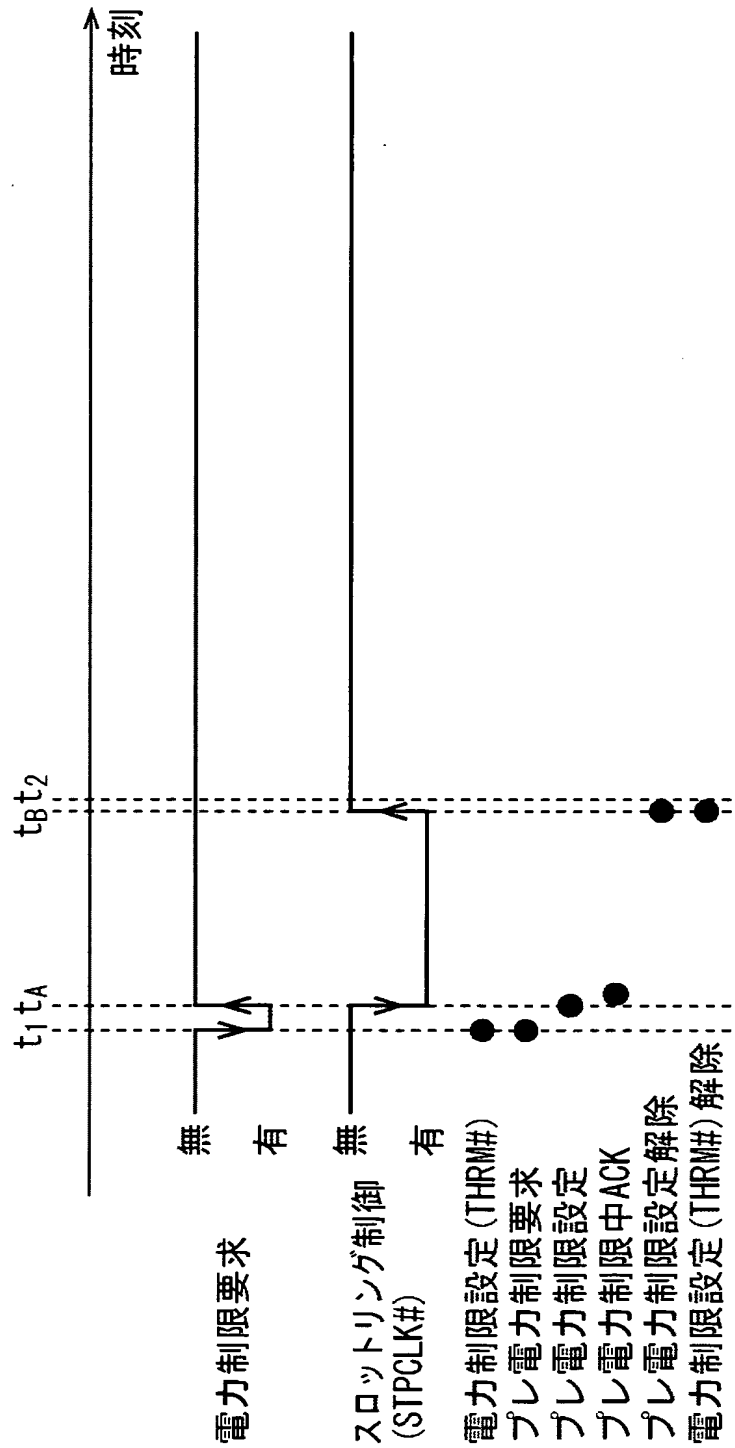
【図 12】

図 12



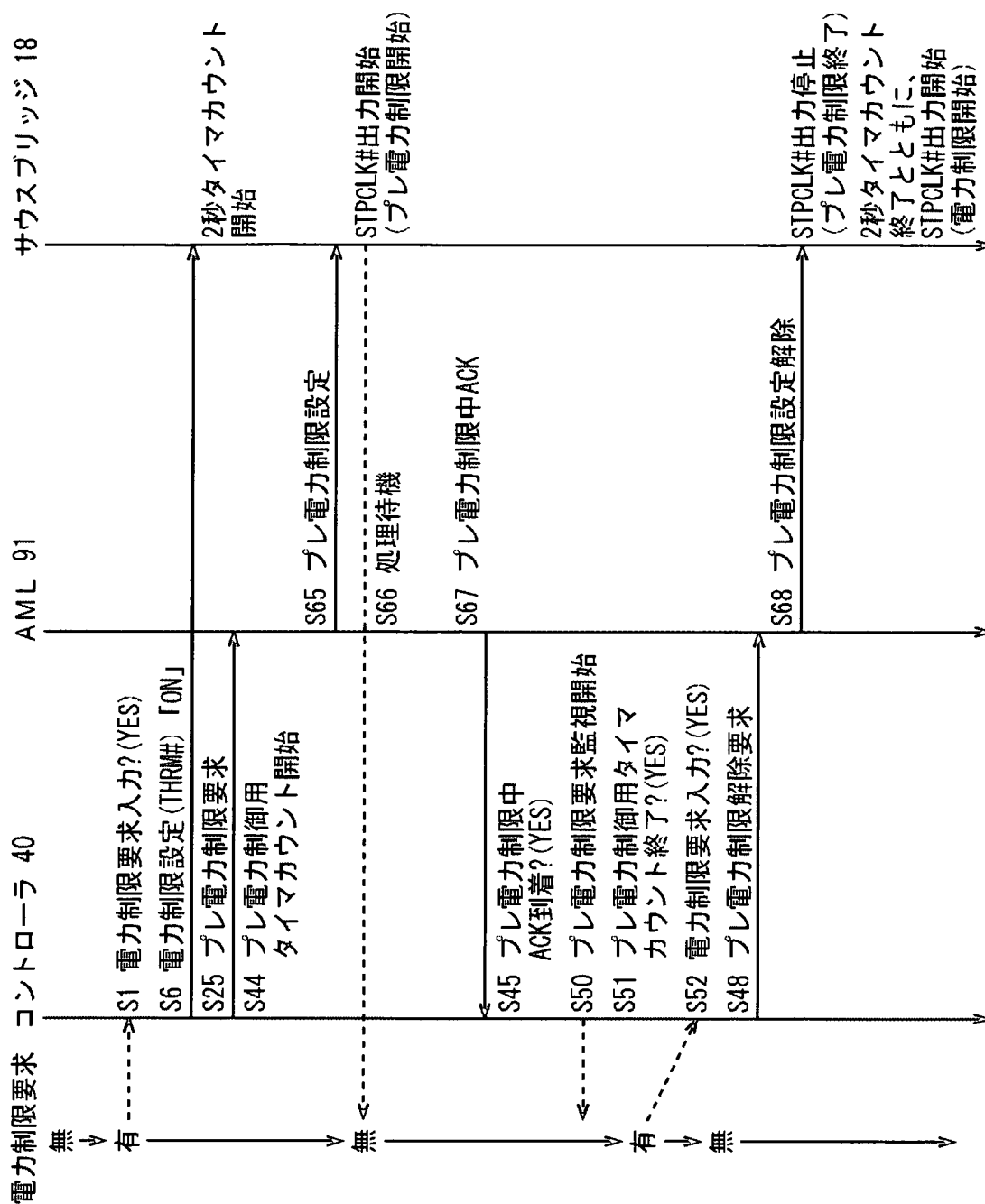
【図 13】

図13



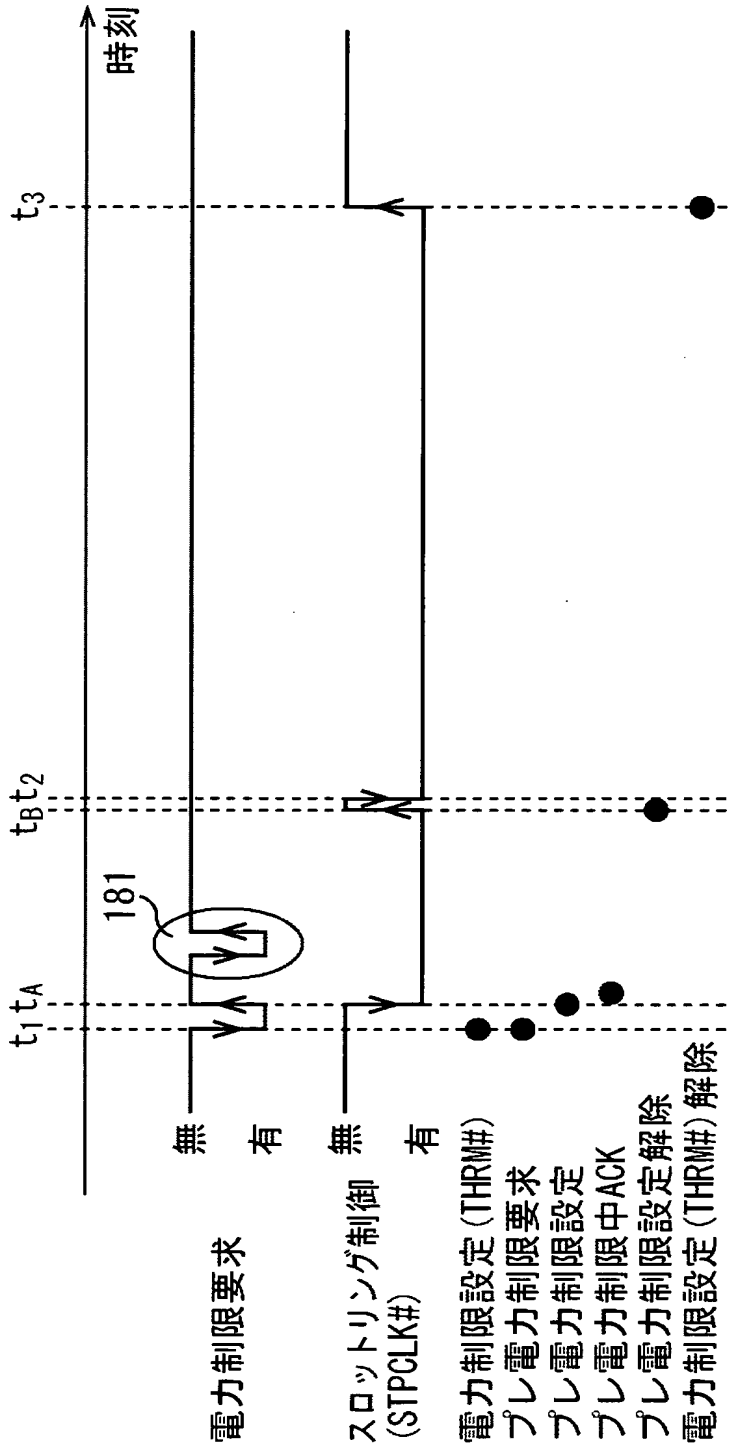
【図 14】

図 14



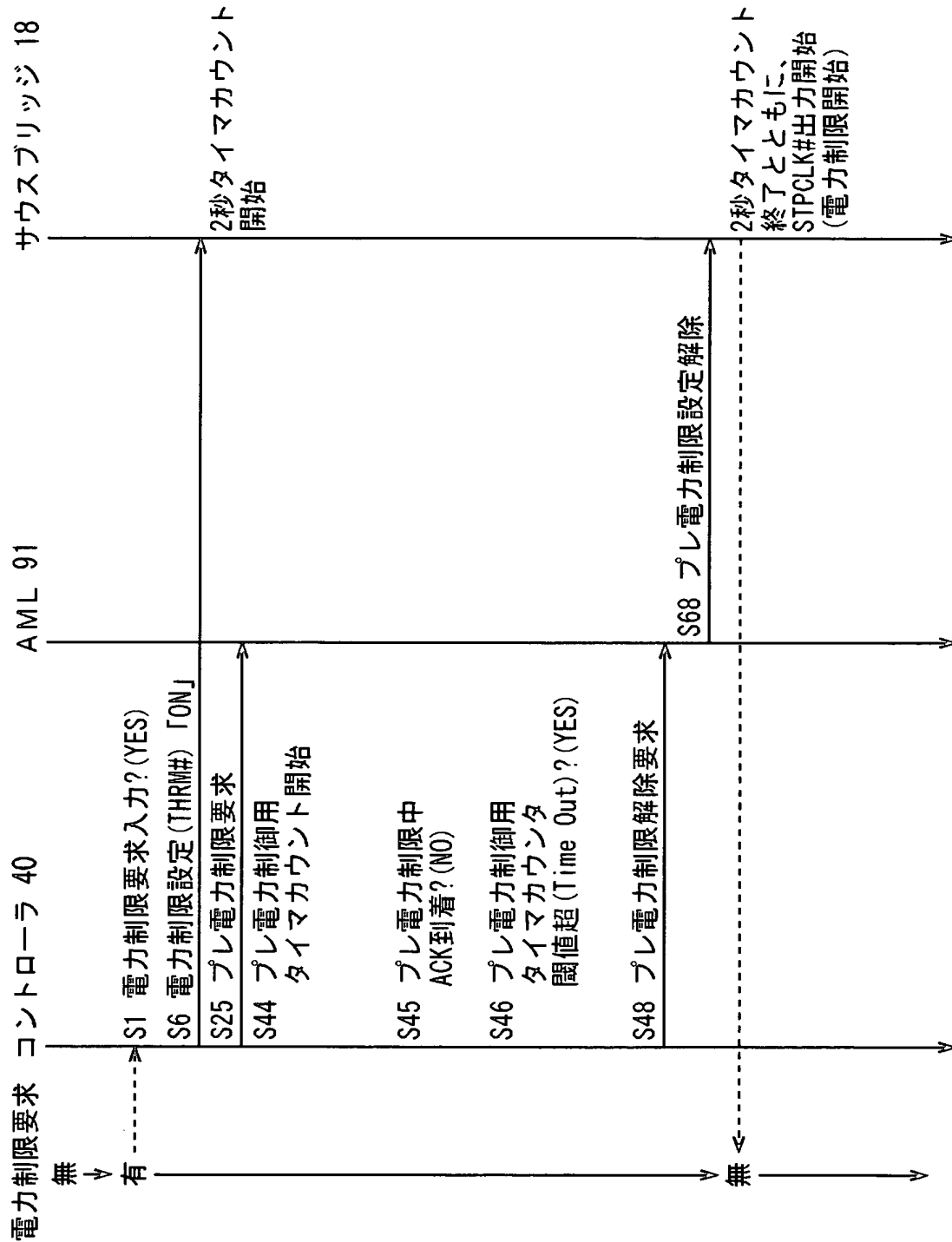
【図 15】

図15



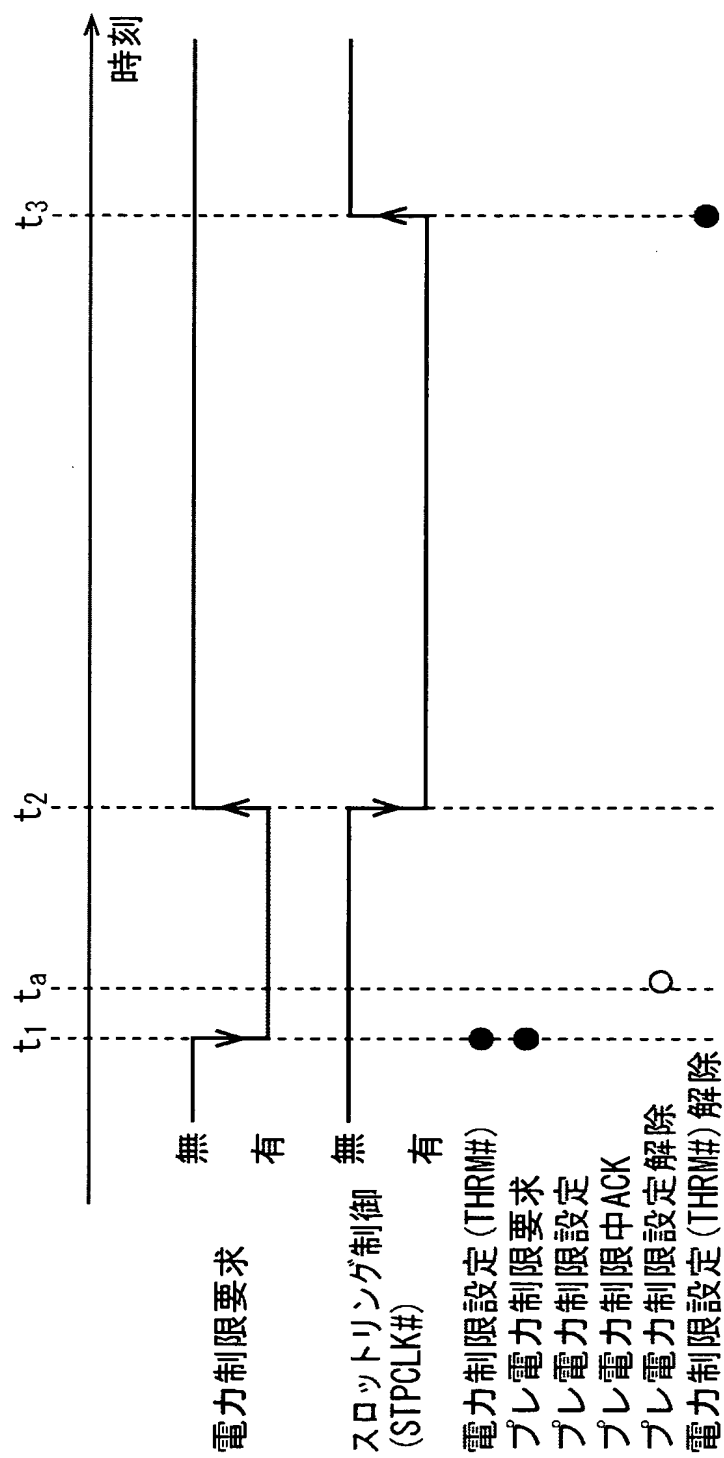
【図 16】

図 16



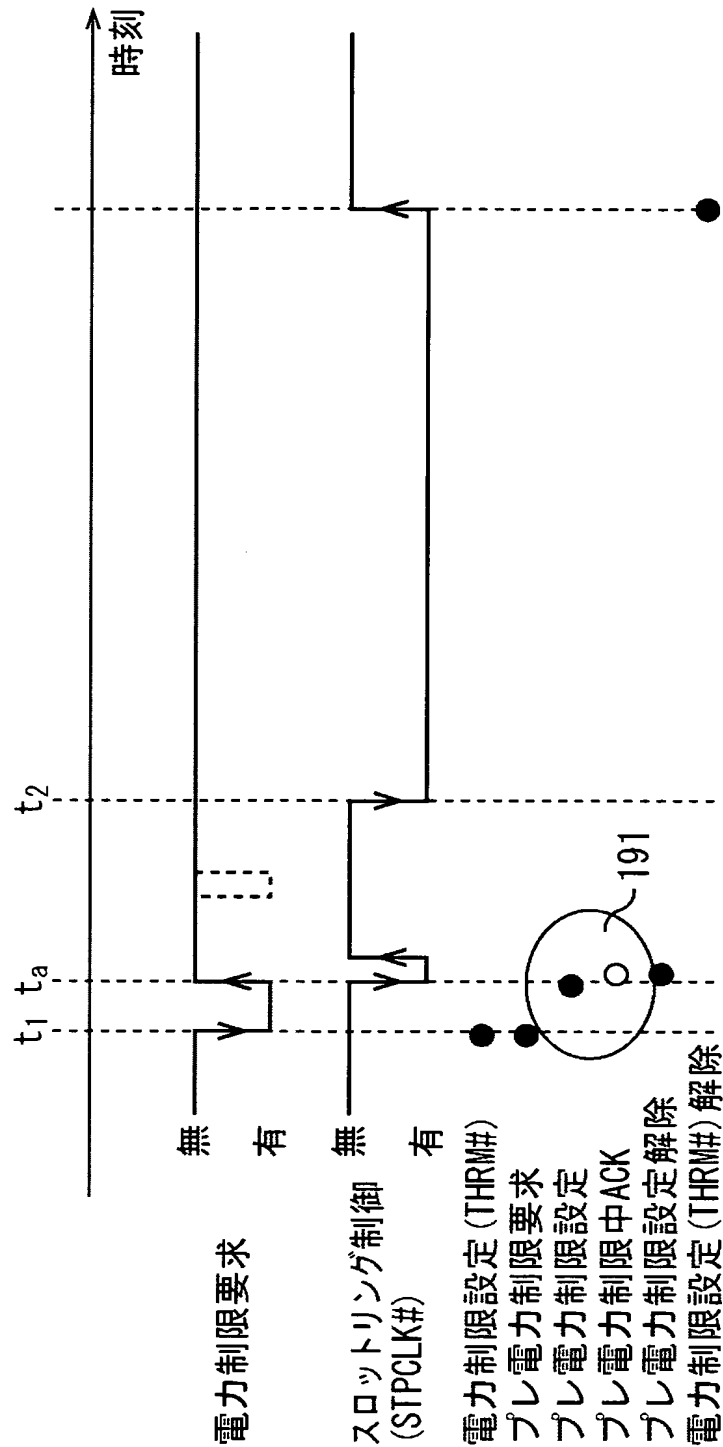
【図 17】

図17



【図 19】

図19



【書類名】 要約書

【要約】

【課題】 品質事故を防ぎつつ、実際に必要な制限量で、情報処理装置の消費電力を制限する制御であって、継承と標準化が容易な制御を実行することができるようにする。

【解決手段】 情報処理装置の消費電力が閾値を超え、電力制限要求が電力監視部 4 1 より出力されたときに実行される制御であって、C P U 1 1 の稼働率を制限することで消費電力を制限する制御として 2 段階の制御が存在する。1 段目の制御は、A M L 9 1 からのプレ電力制限設定を受けて、多段階電圧スケーリング制御部 8 1、T C C 8 2、またはスロットリング制御部 8 4 により実行されるプレ電力制限制御である。2 段目の制御は、コントローラ 4 0 からの電力制限設定 (T H R M #) を受けて、スロットリング制御部 8 4 により実行される電力制限制御である。本発明は、ノート型のパーソナルコンピュータに適用可能である。

【選択図】 図 2

特願 2003-001721

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社